2017年度活動報告
リソグラフィー専門委員会

2018.04.24

高橋　和弘
リソグラフィー専門委員会　委員長

リソグラフィ専門委員会

委員長	キヤノン株式会社	高橋　和弘
副委員長	株式会社ニコン	奥村　正彦
委員	株式会社アドバンテスト	黒川　正樹
	ウシオ電機株式会社	笠間　邦彦
	ギガフォトン株式会社	黒須　明彦(2016)
		山崎　卓(2017)
	信越石英株式会社	西村　裕幸
	東京エレクトロン株式会社	中島　英男
	凸版印刷株式会社	小西　敏雄
	株式会社ニューフレアテクノロジー	山口　哲男(2016)
		小笠原　宗博(2017)
	株式会社堀場製作所	松本　皓介(2017)
	アルバック成膜株式会社	金井　修一郎(2017)

活動テーマ：リソグラフィの最新の技術動向の調査・研究

リソグラフィ専門委員会：高橋和弘

活動ゴールと活動領域

ゴール：競争力アップ

領域：半導体装置業界再興

今回活動内容（詳細）、達成基準

【活動内容】

・リソグラフィ最新技術動向に関し、**学会を中心に調査・収集**を行い、**委員間での情報共有と、講演会等で情報発信**を行う。

・半導体のデバイス毎の技術動向や市場動向について、**専門家による講演会**の企画・開催を行う。

【達成基準】

・最新技術・市場動向の講演会を**年間3件**学会報告会を**年間5件**以上開催する。

・デバイス毎の**Solution情報収集とまとめ**。

活動期間と使用したリソース

2017年5月~2018年3月、11社のべ152時間

現金支出なし

活動成果

・講演会：**6件**開催 [30/30点]
市場動向、デバイス情報、IRDS活動、リソ最新技術動向

・国際会議/学会報告会：**6件**開催 [30/30点]
(PMJ, BACUS, SPIE, EUVLシンポ, DSAシンポ、NGL WS)

・報告書：資料合計9点、151ページ [10/10点]
（委員会専用グループウェアに登録）

・デバイス毎のSolution情報収集 [30+α/30点]
リソソリューションのまとめと**周辺技術への影響**

自己評価、課題

100+α/100点。講演会は出席者に非常に好評であり、今後も継続する。会員への情報発信を意識し活動した。今後の課題はSDRJとの連携。

発表内容

- 講演会の概要
- リソグラフィ技術の進捗と量産適用・課題
- リソグラフィ以外の技術への影響

講演会の概要

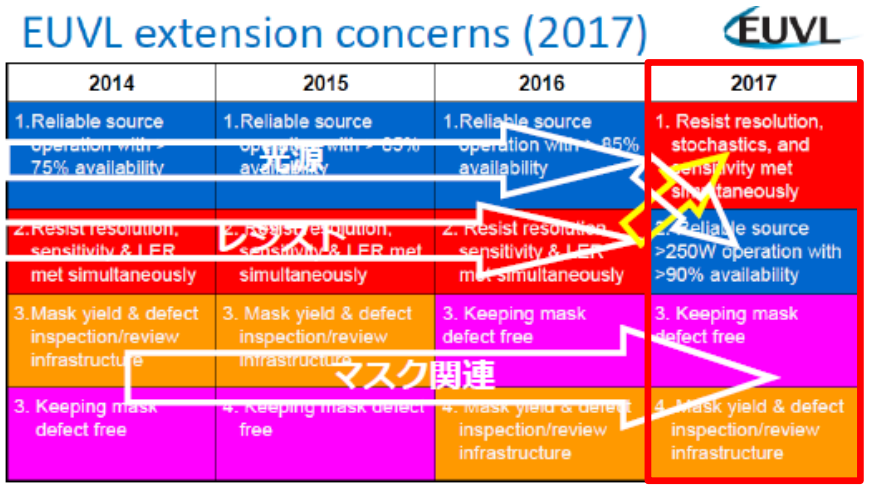
日付	タイトル	講演者	所属	参加人数
2017/8/31	半導体・半導体製造装置の市場・技術動向	山口　哲男様	ニューフレアテクノロジ	12名 (委員会内)
2017/10/3	新規メモリ技術：STT-MRAM & 3D NAND	遠藤　哲郎様	東北大学	52名
	半導体チップサイズの限界に挑戦するAI、超並列コンピューティング及びグラフィック用GPU	馬路　徹様	NVIDIA	
2017/12/21	IRDSとSDRJの概要とリソグラフィー技術ロードマップ	石内　秀美様	EIDEC	27名
2018/3/16	EUVLレジストプロセスの最新動向	古澤　孝弘様	大阪大学	58名
	マルチパターニングによる微細化とパターン解像忠実度について	八重樫　英民様	東京エレクトロン	

市場動向、デバイス最新情報、リソ技術情報の広範囲にわたり6件の講演会を開催、
多くの会員に参加いただき好評であった。**最新情報の提供に有効であり、今後も継続する。**

発表内容

- 講演会の概要
- リソグラフィ技術の進捗と量産適用・課題
- リソグラフィ以外の技術への影響

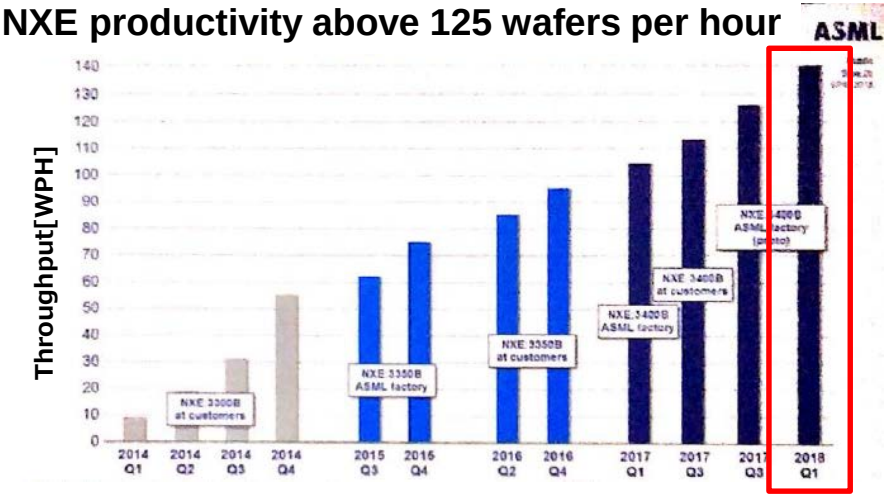
EUV Lithographyの進捗



(EUVL Symposium 2017)

長期的な課題の1位は光源→レジスト

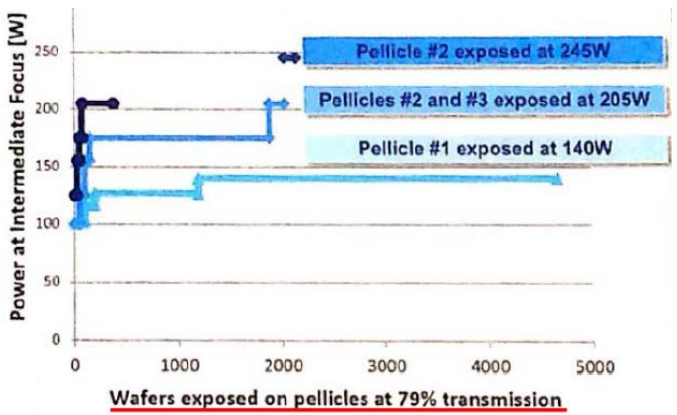
NXE productivity above 125 wafers per hour



(SPIE Advanced Lithography 2018)

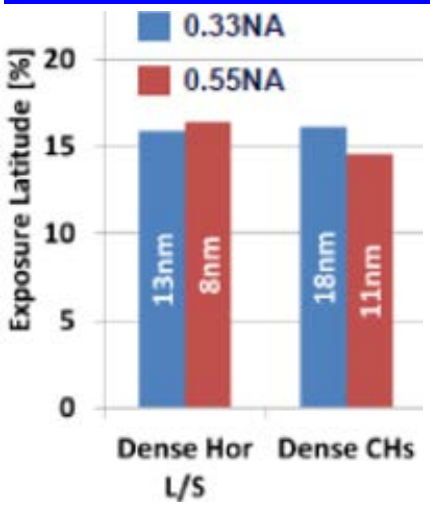
生産性は、140wph(246W、20mJ/cm^2)

Scanner exposures confirm pellicles withstands 245W



(SPIE Advanced Lithography 2018)

245W条件でペリクルの耐久性を確認

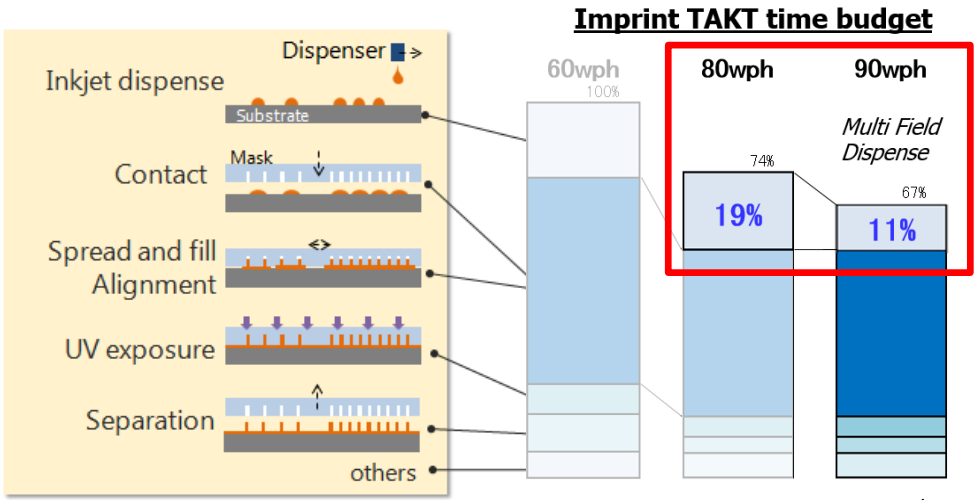


Comparable Exposure Latitude at 40% lower resolution
13nm→8nm

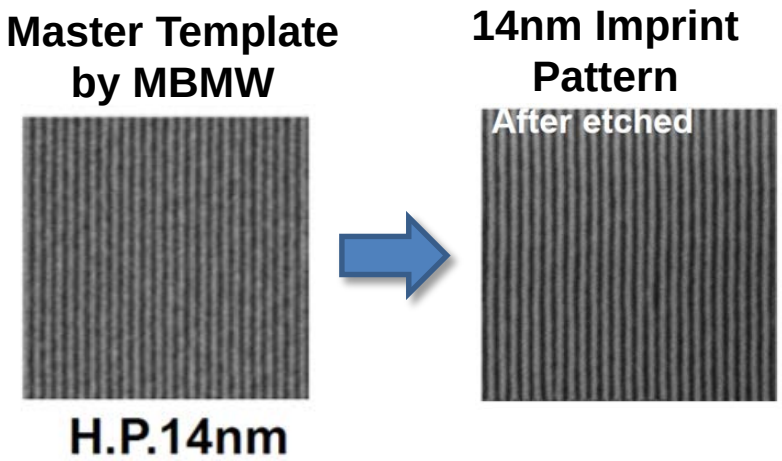
(SPIE Advanced Lithography 2018)

NA0.55の解像力は8nmL/S(2nmノード)

Nano Imprint Lithography(NIL)の進捗



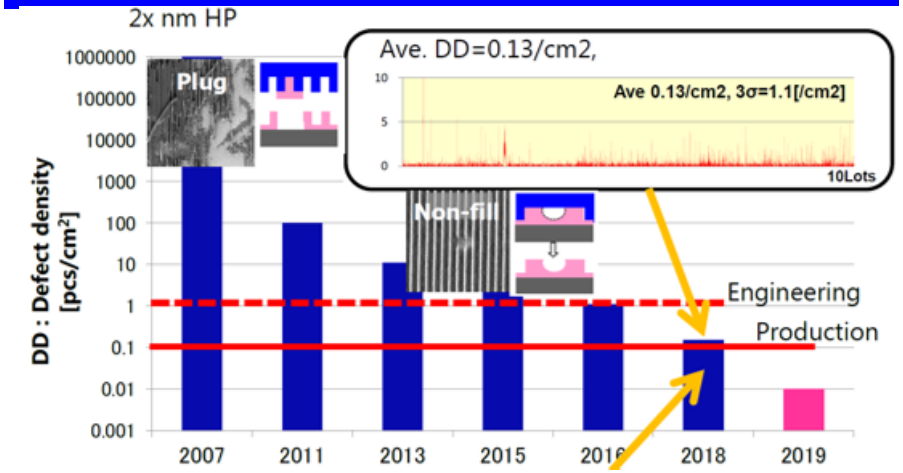
(SPIE Advanced Lithography 2018-10584-29)



(SPIE Advanced Lithography 2018-10584-24)

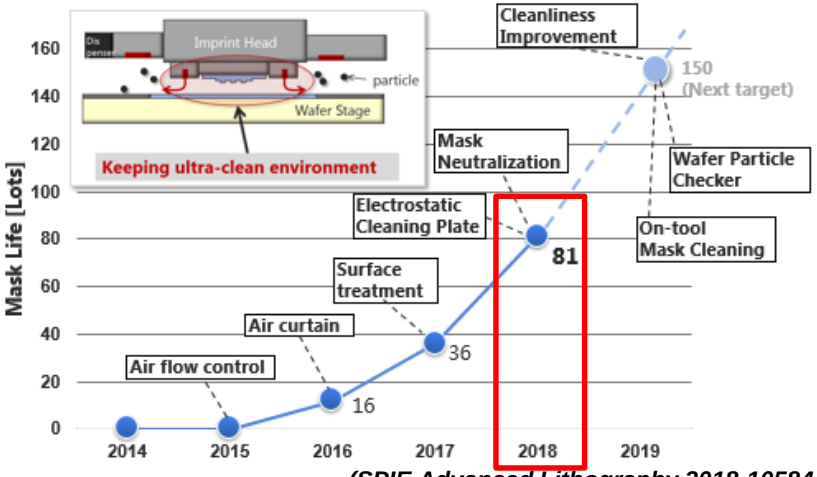
生産性は、MFDにより80→90wphに向上

14nmL/Sの解像性能



(SPIE Advanced Lithography 2018-10584-30)

Total Defect Density:0.13[/cm²]

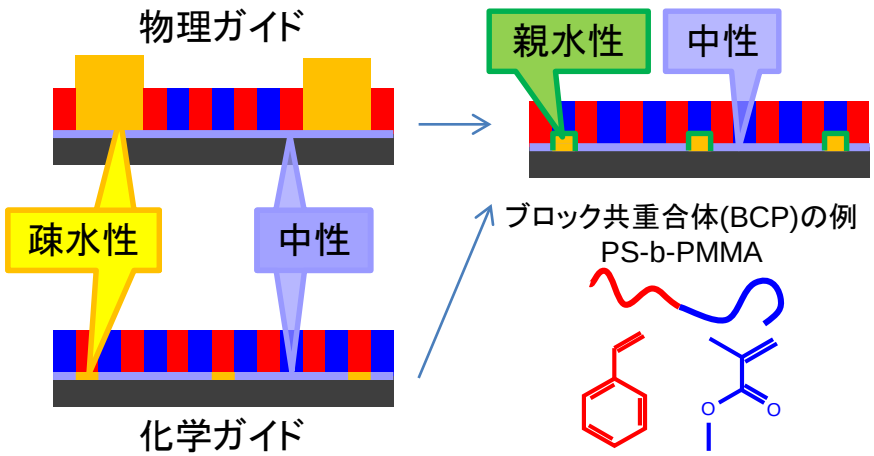


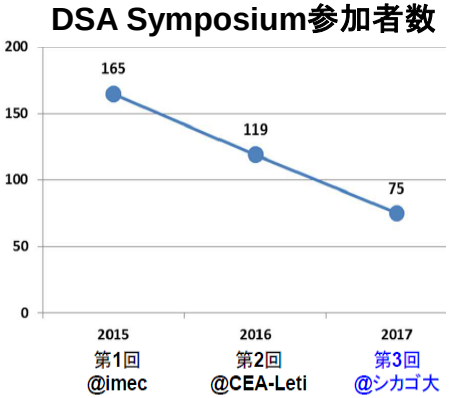
(SPIE Advanced Lithography 2018-10584-25)

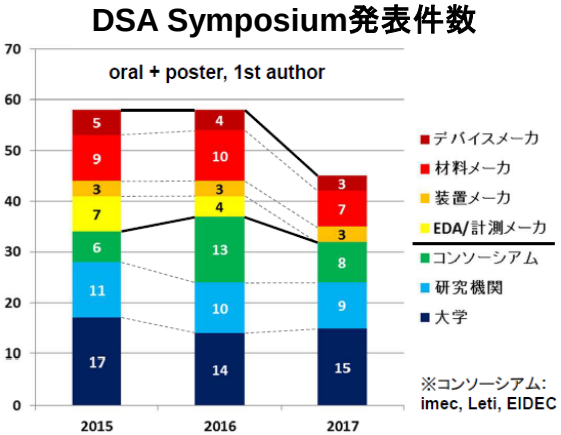
欠陥は0.13個/cm²(昨年比87%改善)

マスクの寿命は36→81ロットに延長

Directed Self Assembly(DSA)の進捗







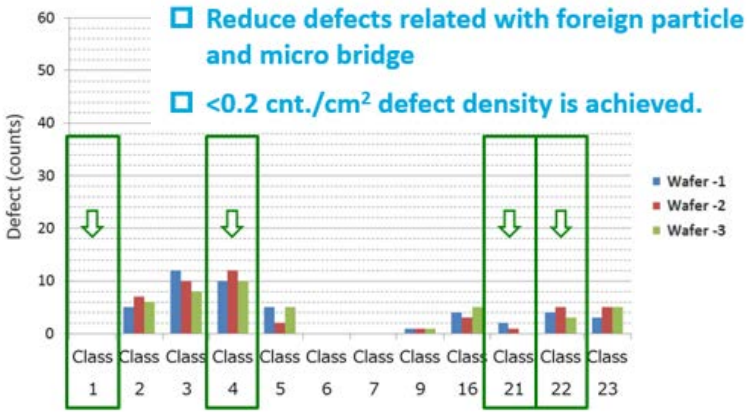
(DSA Symposium 2017)

物理ガイドや化学ガイドでBCPを誘導

シンポジウム参加者・発表件数は減少傾向

Latest defectivity results

- Reduce defects related with foreign particle and micro bridge
- <0.2 cnt./cm² defect density is achieved.

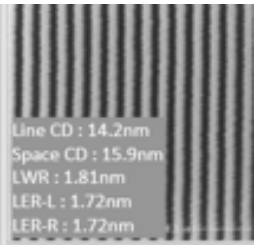


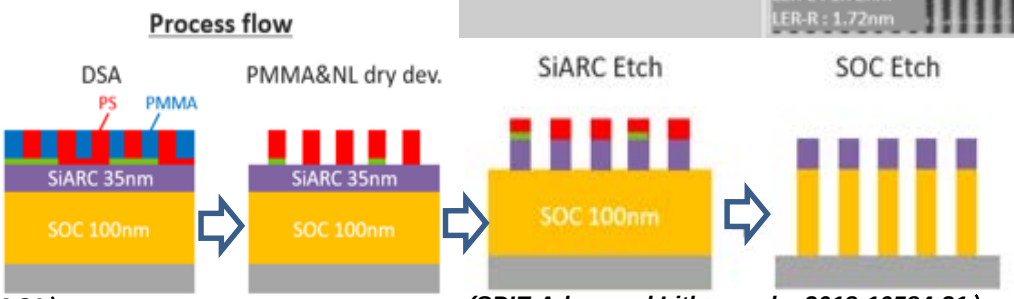
(SPIE Advanced Lithography 2018-10584-21)

欠陥は、DD＜0.2個/cm²（昨年比70%改善）

LER/LWR improvement

Optimized BCP formulation &process
As carbon film etch





(SPIE Advanced Lithography 2018-10584-21)

LER＜1.8nm@AEI（昨年比25%改善）

リソグラフィ技術の量産への適用と課題

リソ技術	量産適用（デバイス・時期等）	課題
EUVL	・**2018~19からロジックの7nmノードの一部で適用開始** （カットパターンやVia、Metalの可能性が高い） ・DRAMも一部工程で適用開始の見込み	・装置・光源の稼働率 ・StochasticsによるLocal CDU ・レジスト（感度、LER） ・Actinicマスクパターン検査装置
NIL	・**2018に3D NANDへの量産適用の判断** ・ロジック、DRAMへの適用は未定	・Defectivity ・重ね合わせ精度 ・レプリカマスクの寿命
DSA	・**現時点では、量産適用は未定(2020以降)** ・他技術を置換えるのではなく、他の技術との組み合わせで、特定工程に使用されると想定。	・Defectivity ・ラフネス、CDU ・Pattern Placement Error
Multiple Patterning	・**2018以降も引続き量産に使用(ロジック、DRAM、NAND)** ・液浸のSAQPは~10nmhp	・工程数増大 -Edge Placement Error -TAT/コスト

発表内容

- 講演会の概要
- リソグラフィ技術の進捗と量産適用・課題
- リソグラフィ以外の技術への影響

デバイスのトレンドとリソグラフィ技術変更による影響①

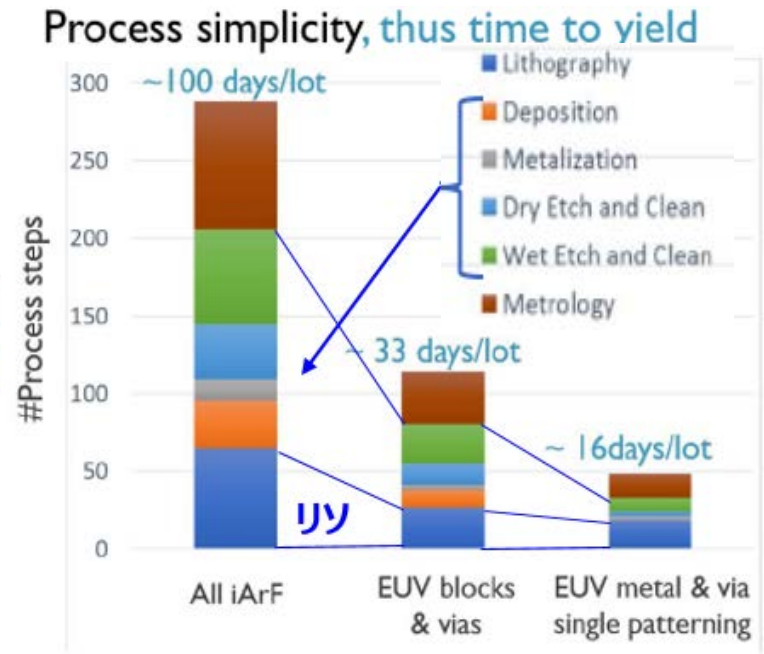
世代毎、工程毎のリソ手段

POTENTIAL EUV RAMP (EUV VIAS & CUT/BLOCK)

Layer	~40p metal		~35-40p metal		28-35p metal		20-25p metal	
HVM Ramp	2017/18		2018/19		2020/21		2022/23	
Fin	193i SAQP	1	193i SAQP	1	193i SAQP	1	EUV-SADP	1
Fin_Keep	193i >=LE3 (Taper)	3	193i LE3	3	193i >=LE2	1	EUV LELE or hNA	2 (1)
Fin_Cut	193i LE	1	193i LE2	1	193i LE2	1	EUV LELE or hNA	2 (1)
Gate	193i SADP	1	193i SADP	1	193i SADP	1	SADP	1
Gate Vt	193D	>=2	193D	>=2	193D	1	EUV LE2	2
Gate_Cut	193i LE3	2	193i LE2	2	EUV	1	EUV	1
M0A	193i >=LE3	>=3	EUV	1	EUV	1	EUV	1
Mint	193i LE2	2	193i LE2	1	193i SAQP	1	SAQP	1
Mint_TRIM/BLK	193i >=LE2 SAB	>=2	193i LE2	1	EUV	1	EUV LE2 SAB or hNA	2 (1)
Vint-A	193i >=LE3	>=3	EUV	1	EUV	1	EUV	1
Vint-G	193i >=LE2	>=2	193i LE2	1	EUV	1	EUV	1
M1	193i LE2	2	193i LE2	1	193i SADP	1	SAQP	1
M1 TRIM/BLK	193i LE2	=2	193i LE2	1	EUV	1	EUV LE2 SAB or hNA	2 (1)
V0	193i =LE3	=3	EUV	1	EUV	1	LE2 2DSAV or hNA	2 (1)
Mx	193i LE2	2	193i LE2	1	SAQP	1	SAQP	1
M1 TRIM/BLK	193i =LE2	=2	193i =LE2	1	EUV	1	LE2 2DSAV or hNA	2 (1)
Vx	193i >=LE3	=3	EUV	1	EUV	1	LE2 2DSAV or hNA	2 (1)
Total EUV masks (0.33NA)		0		4		9		21

193i

EUV



EUVシンポジウム2017(IMEC)

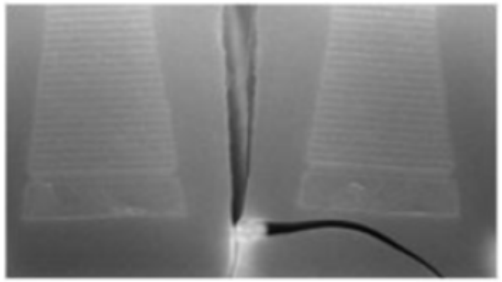
液浸マルチパターニングからシングルパターニング(EUVL)へ置換え

リソ技術の変更に伴って、成膜・エッチング・洗浄工程数及び計測回数が削減される

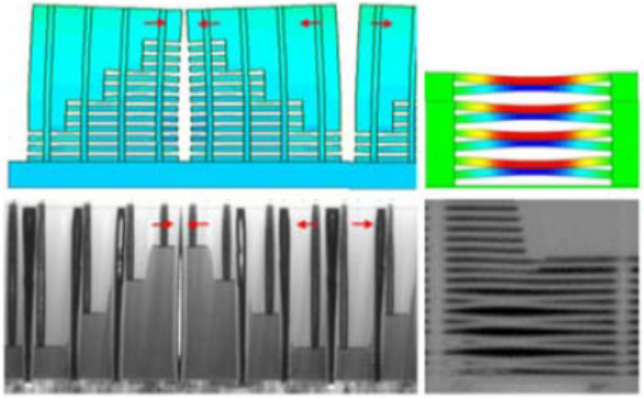
デバイスのトレンドとリソグラフィ技術変更による影響②

3D NANDで顕在化しつつあるリソグラフィーへの課題

クラックの発生



歪によるチャージトラップ性能の劣化



3D NANDの積層数増大に伴う高アスペクト化が要求する機械的強度の向上と低応力プロセスなど、3次元構造製造に固有の新規製造技術が必要

〇3D NANDにより、微細化は鈍化
〇3D NANDは、平坦性を劣化させる

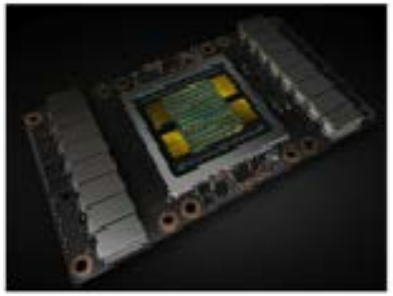
3D NANDに最適なリソ技術は？？
⇒ 解像度と許容平坦度のバランス

SEAJ技術講演会2017/10/03(東北大学　遠藤先生)

NANDフラッシュは3D化により微細化から積層数増加による課題に変化
機械的強度の向上と低応力プロセスが必要

デバイスのトレンドとリソグラフィ技術変更による影響③

LATEST VOLTA GPU V100



GPU Module Photograph
GPU: 815 mm2, 21.1-Billion Tr
12nm FF

NVIDIA GPUチップサイズ：815mm^2

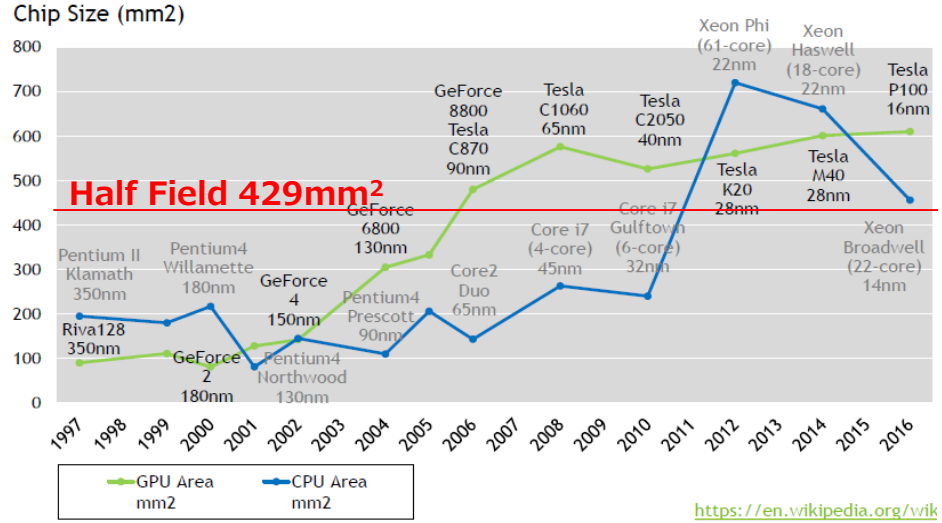
Scanner画面サイズ：858mm^2

GPUチップサイズ拡大：>815mm^2

EUVL(NA0.55)のHalf Field化：429mm^2

マルチチップ化によりパッケージ関連技術(3D Integration)が重要なる

GPU VS CPU: CHIP SIZE



https://en.wikipedia.org/wik

MCM-GPU: MULTI-CHIP-MODULE GPUS FOR CONTINUED PERFORMANCE SCALABILITY

ISCA 2017 Paper from Arizona State Univ., Univ. of Texas, Barcelona Supercomputing Center/Univ. Politecnica De Catalunya and NVIDIA

- Simulation based
- 64-SM GPU(GPM) x 4
- Shrinked to 7-10nm node (40-60% smaller than todays biggest Pascal GPU)
- 45.5% faster than the largest implementable monolithic GPU

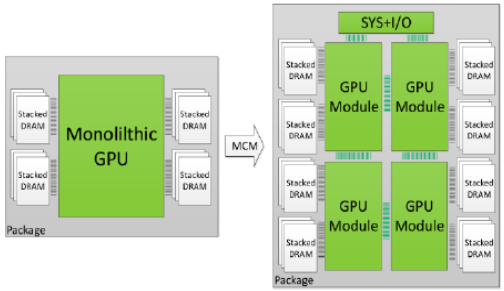


Figure 1: MCM-GPU: Aggregating GPU modules and DRAM on a single package.

SEAJ技術講演会2017/10/03(NVIDIA　馬路様)

活動のまとめ

- 講演会を6件開催、会員に対する最新情報の提供に有効であり、大変好評。

- リソ技術の最新情報を収集し、量産適用状況を整理。
  - EUVLは、2018~19でロジック、DRAMの一部で適用が開始。
  - NILは、2018に3D NANDへの適用判断。
  - DSAの判断時期は未定。

- デバイスのトレンドとリソ技術変更による影響を検討。
  - マルチ→シングルパターニングによる成膜、エッチング、洗浄工程等の削減
  - 3D NANDは微細化から積層化による課題に変化
  - チップサイズ拡大によりパッケージ関連技術が重要

END