2017年度活動成果報告
検査専門委員会

2018/4/24

寺沢　正則
検査専門委員会　委員長

検査専門委員会　2017年度

（敬称略）

委員長	（株）テセック	寺沢　正則
副委員長	浜松ホトニクス（株）	鈴木　宏叔
	（株）アドバンテスト	市川　英樹
	（株）アドバンテスト	北川　悟
	（株）シバソク	薗田　文雄
	東京エレクトロン（株）	山西　浩介
	東京エレクトロン（株）	清水　洋一
	（株）東京精密	高橋　将友
	（株）東京精密	田中　渉
	（株）日本マイクロニクス	清藤　英博

活動テーマ：IoT時代に向けた次世代検査技術動向の調査・研究

検査専門委員会：寺沢　正則

活動ゴールと活動領域

・競争力アップ
・半導体装置産業再興

今回活動内容(詳細)、達成基準

①活動テーマの調査活動において、広く情報収集を行うために、講演会を企画・開催する。
【2年目】講演会を少なくとも1回は開催する。

②次世代デバイスの検査装置に関する市場要求のトレンドと、更なる将来像を情報発信する。
【2年目】FOPLPのテスト技術に関する課題の抽出結果を具体化し、提案を行う。

活動期間と使用したリソース

・期間：2017年4月～2018年3月(11回)
・リソース：7社(10名)のべ162時間
・現金出費： なし

活動成果

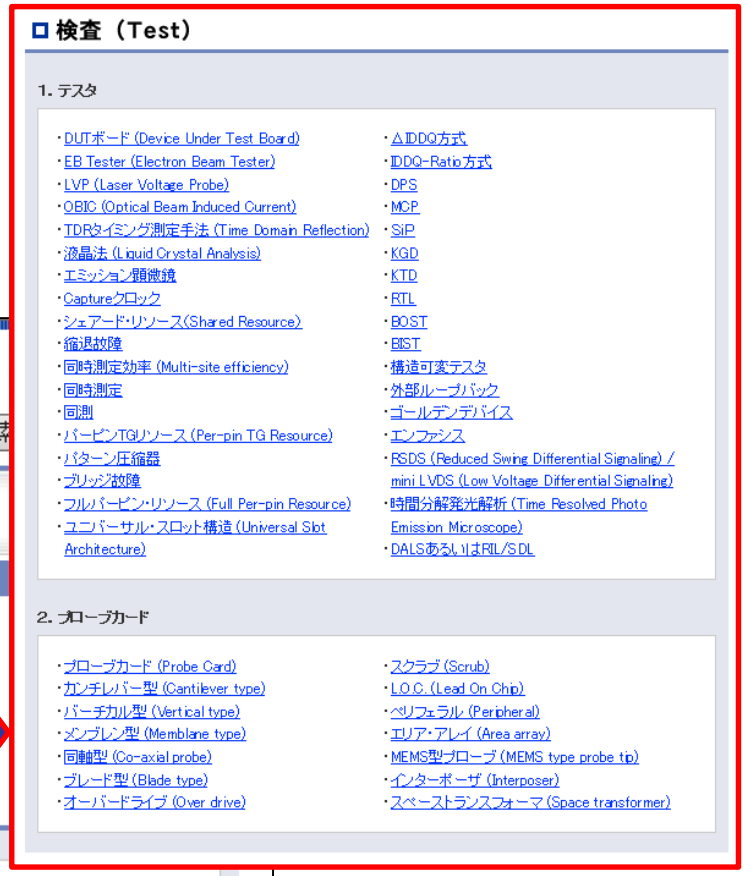
①用語集の見直し・追加を行った　[20点]
②講演会を企画・開催する。
⇒2回開催　[40/40点]
③FOPLPのテスト技術に関する課題の抽出と提案を行う
⇒課題抽出と提案をまとめた　[50/60点]

自己評価、課題

[110/100点]　今年度は、FOPLPのテスト技術に着目し、課題をまとめた。またSEAJ_HPの用語集を更新し、情報提供に貢献した。

活動成果１： SEAJ HP 用語集の更新（1/4）

- 更新前：検査(Test)用語の登録数
  - 1.テスタ　35語
  - 2.プローブカード　14語



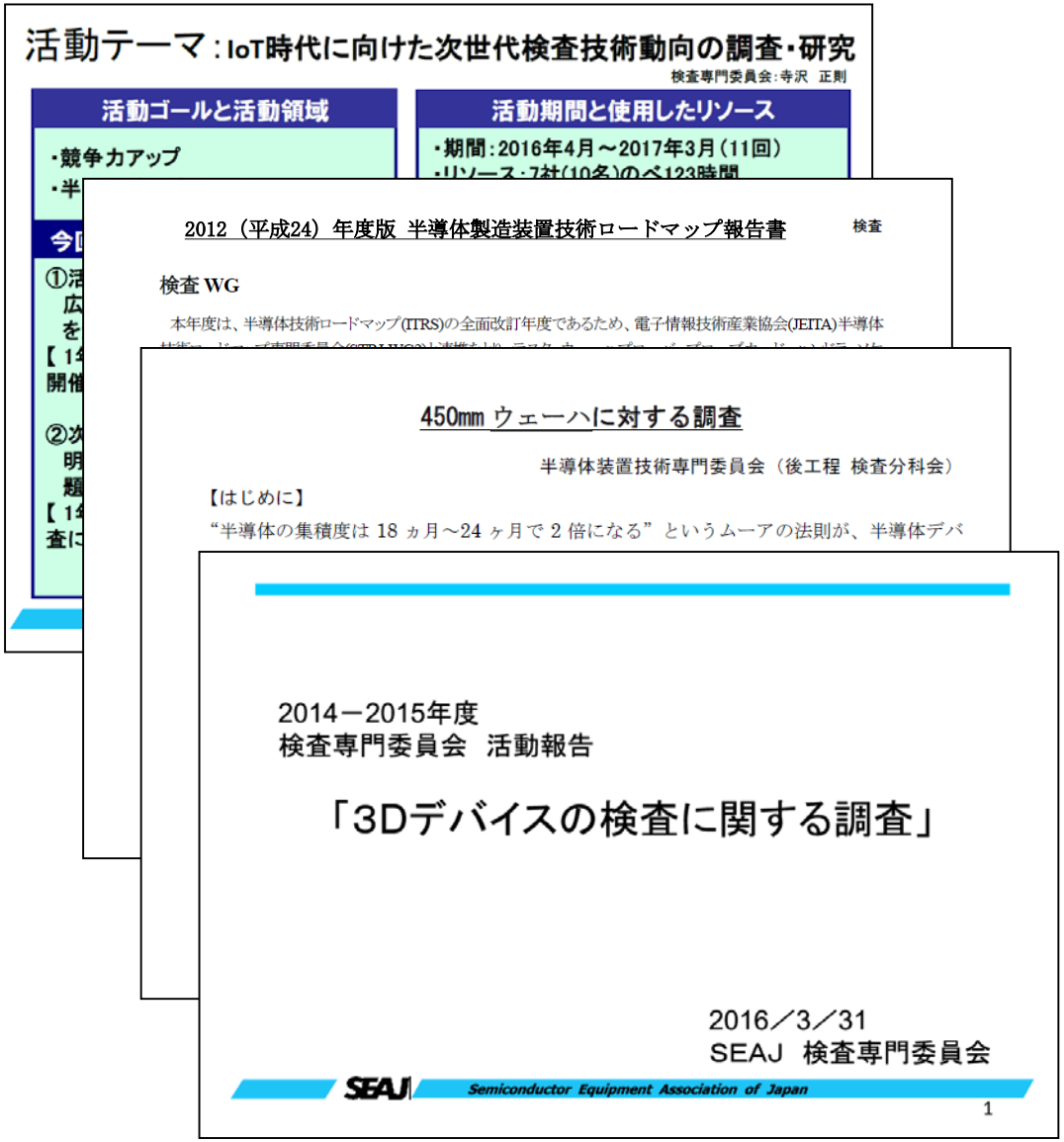
(更新前)

活動成果１： SEAJ HP 用語集の更新（2/4）

- 2012年度～2016年度まで
  4つの検査専門委員会
  成果報告書より新語を抽出

- 下記小分類を新設
  - 検査（Test）
    1. テスタ
    2. プローブカード
    3. プローバ　（新設）
    4. ハンドラ　（新設）
    5. その他　　（新設）

- 新語　　125語　追加
  合計　　186語　⇒約３倍



活動成果１： SEAJ HP 用語集の更新（3/4）

- 「FOPLP」「3D実装」など新語を掲載

SEAJ_HP「半導体製造装置用語集」より一部抜粋

FOPLP（Fan-Out Panel Level Packaging）

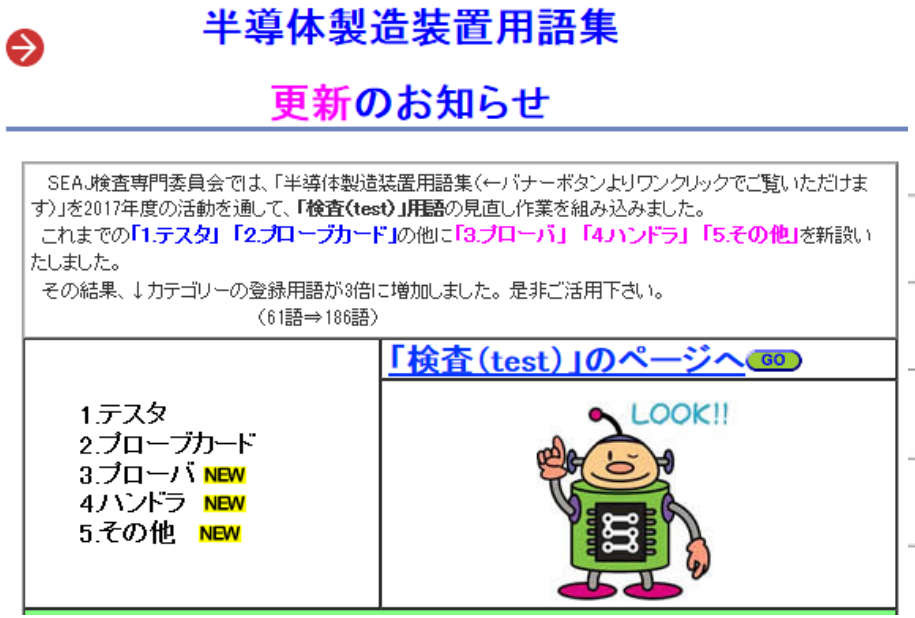
FOPLPは、FOWLPの一括製造の考え方を、ウェーハよりも大きなパネル（パネル状の基板）に適用したのが、パネルレベルのパッケージング技術である。パネルにはプリント基板あるいはガラス基板（液晶パネル製造用基板を想定している）を使う。

- HP登録のための「エクセルフォーム」を作成
- 今後定期に更新を行う予定

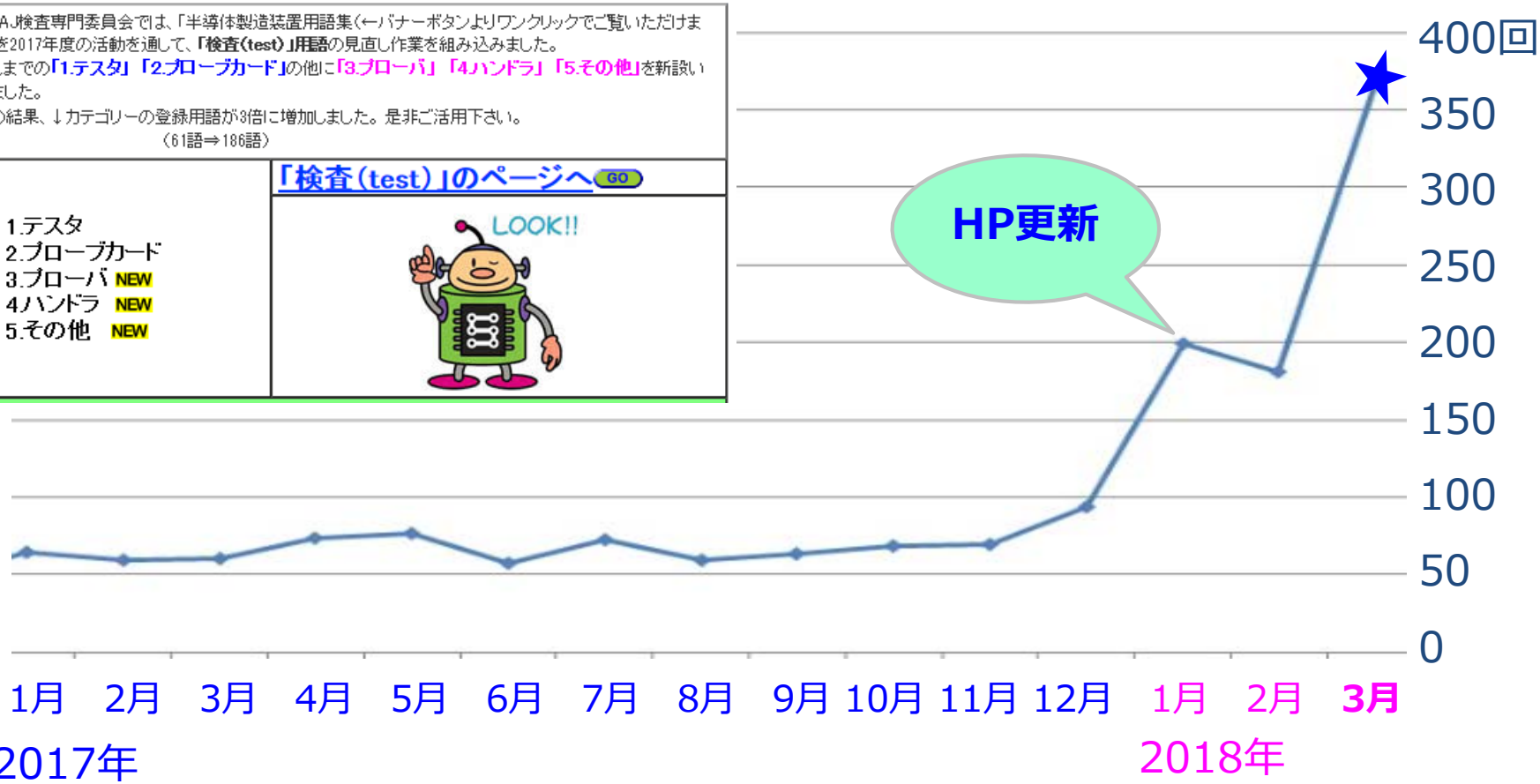
	A	B	C	D
1	日本語	略語	英語	用語の意味
2	コンパレータ	COMP	Comparator	被測定デバイスからの出力信号を規定されるリミット電圧値と比較し、その結果として得られた論理値を期待される論理値と照合する回路。
3	シェアード・リソース		Shared Resource	タイミング発生器やパターン発生器などのリソースを、各テスタピンで共有するテスタの構造。テスタのハードウェア量を節減することができる。
4	シグナル・インテグリティ		Signal Integrity	信号の品質・精度のこと。
5	縮退故障		Stuck-at Fault	論理値が値1（電源とのショート）あるいは値0（接地とのショート）に固定される故障。その故障を仮定してテスト・パターンを生成する手法がある。

活動成果１： SEAJ HP 用語集の更新（4/4）

➢ 2018年１月より　SEAJ HPで公開中



用語集【検査】アクセスグラフ



活動成果２： 講演会の企画・開催 （1/2）

1	日時	2017/6/26	講師	東京エレクトロン（株）　川内　拓男様
	演題	アドバンスドパッケージ動向全般		
	参加	35名	アンケート集計	参考になった：90%
	概要	・アドバンスドパッケージは、“More than Moore”実現の一つとして期待されており、要求される要素は、 ①Lower cost ②Heterogeneous integration / Small-form-factor ③Higher Performance / High density of interconnect である。		

- アドバンスドパッケージ全般について、そのコストやパフォーマンスなどのトレンドを知る事が出来た。

活動成果２： 講演会の企画・開催 （2/2）

2	日時	2017/12/6	講師	アーム（株）　内海　弦様 / 佐藤　啓昭様
	演題	・ARMプロセッサが開くスマート社会 ・ARMが提供するプロセッサの動向		
	参加	30名	アンケート集計	参考になった：74%
	概要	・アームは携帯電話をはじめとするネットワーク機器等の発展と共に成長し、やがてスマートフォンの普及で大きな飛躍を遂げた。 ・アームが電力効率の高いプロセッサーを開発してきた背景には、プロセス技術との関連が大きな意味を持つ。アームのプロセッサとプロセス技術との関連を紹介。		

- IPの設計では、製造装置の性能に依存する事も多く、装置の仕様に関して、SEAJ参加企業様との協業の可能性を感じた。

活動成果３： FOWLP/PLPの市場動向 （1/4）

【 FOWLPの市場規模予測 】

Source: Yole Developpement, Oct 2017

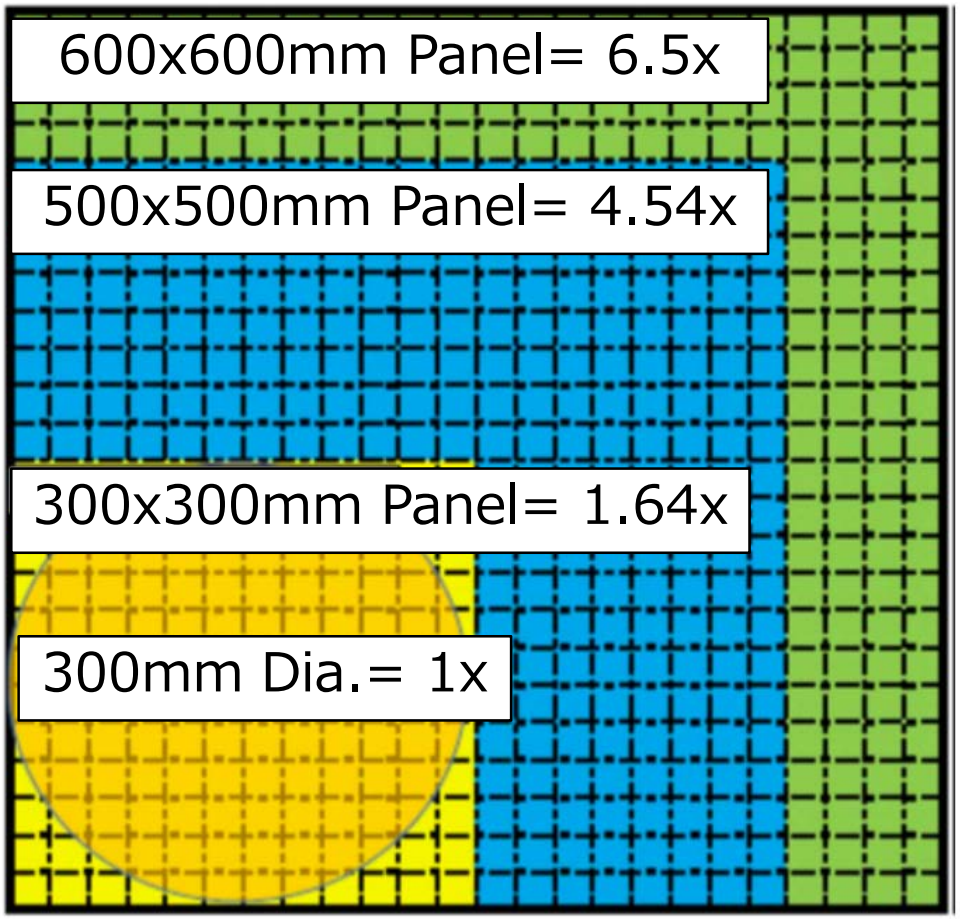
- 2016年iPhone7に採用された
  ➡ 今後の大きな成長を予測

https://www.i-micronews.com/images/SAMPLES/PACKAGING/Yole_Fan_out_Technologies_and_Market_Trends_2017_Sample.pdf

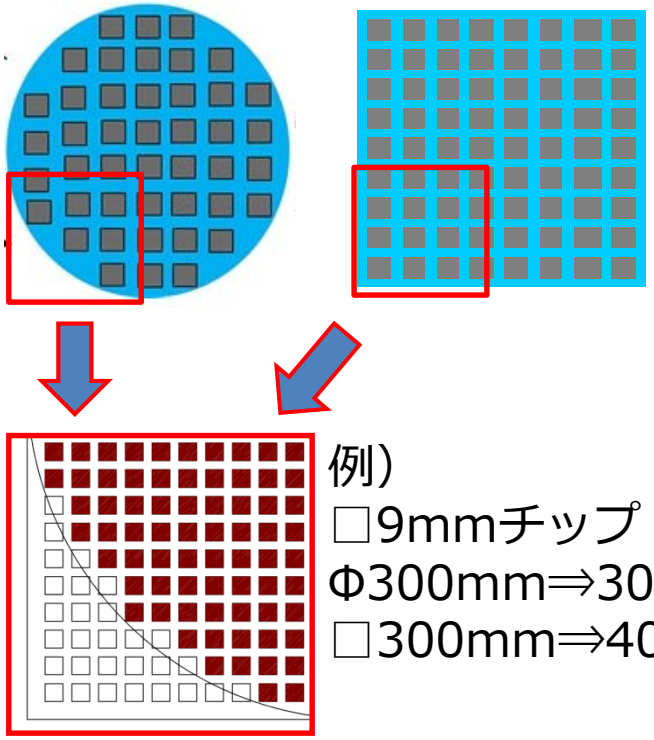
活動成果３： FOWLP/PLPの市場動向 （2/4）

Source: Semiconductor Engineering

➢ ファンアウト・パッケージのコスト削減
➡ “ウェーハレベル”から“パネルレベル”へ



より多くのチップを効率良く再配置出来る（四隅）



例）
□9mmチップ
Φ300mm⇒300個
□300mm⇒400個

https://semiengineering.com/advanced-packagings-progress/

活動成果３： FOWLP/PLPの市場動向 （3/4）

Source: Semiconductor Engineering

➢ パネルサイズの統一化がされていない

Commercial Companies	Panel Size	Production date
Amkor	Not disclosed	Still in R&D
ASE/Deca	300mm x 300mm and/or 600mm x 600mm	2018/2019
Nepes	650mm x 700mm	Late 2017
Powertech	370mm x 470mm (LCD)	Not disclosed
Samsung	600mm x 720mm (LCD)	Not disclosed
Samsung	730mm x 920mm (LCD)	Not disclosed
Samsung	400mm x 500mm (LCD)	Not disclosed
SPIL	370mm x 470mm (LCD)	Not disclosed
STATS ChipPAC	Not disclosed	Still in R&D
TSMC	Not disclosed	Not disclosed
Unimicron	Not disclosed	Not disclosed

➢ 製造装置各社の開発が加速されていない

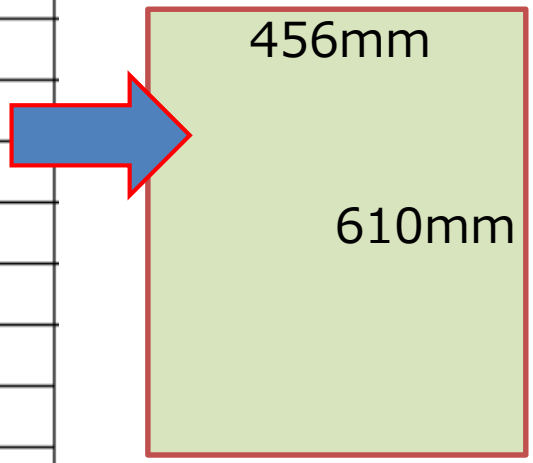
https://semiengineering.com/cheaper-fan-outs-ahead/

活動成果３： FOWLP/PLPの市場動向 (4/4)

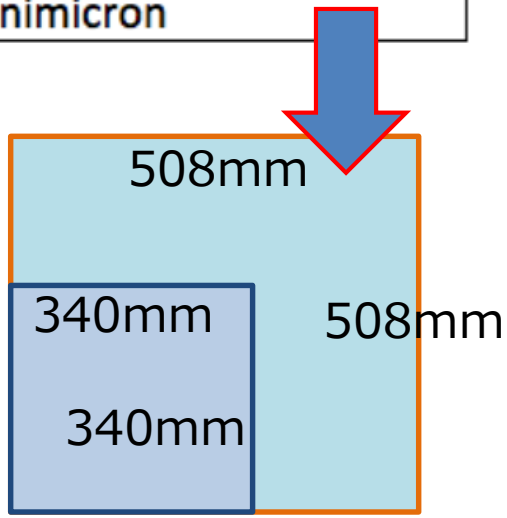
Source: Semiconductor Engineering

- コンソーシアムを設立
- パネルサイズ統一化の動き

Panel-Level Packaging Consortium
ASM Pacific
AT&S
Brewer Science
Evatec
FUJIFILM
Hitachi Chemical
Intel
Mitsui Chemicals
NANIUM
Semsysco
ShinEtsu
Süss
Unimicron



FOW/PLP Consortium Members
ASM Pacific
Dow
Huawei
Indium
JCET/JCAP
Unimicron



https://semiengineering.com/cheaper-fan-outs-ahead/

活動成果３： FOPLPのファイナル検査 （1/5）

- 【現在】デバイスを個片化してファイナル検査
- 【検討】パネルのまま一括同時測定出来ないか？

- 【パネル一括でのファイナル検査の課題】

①□300mm以上のパネル搬送におけるプローバの課題

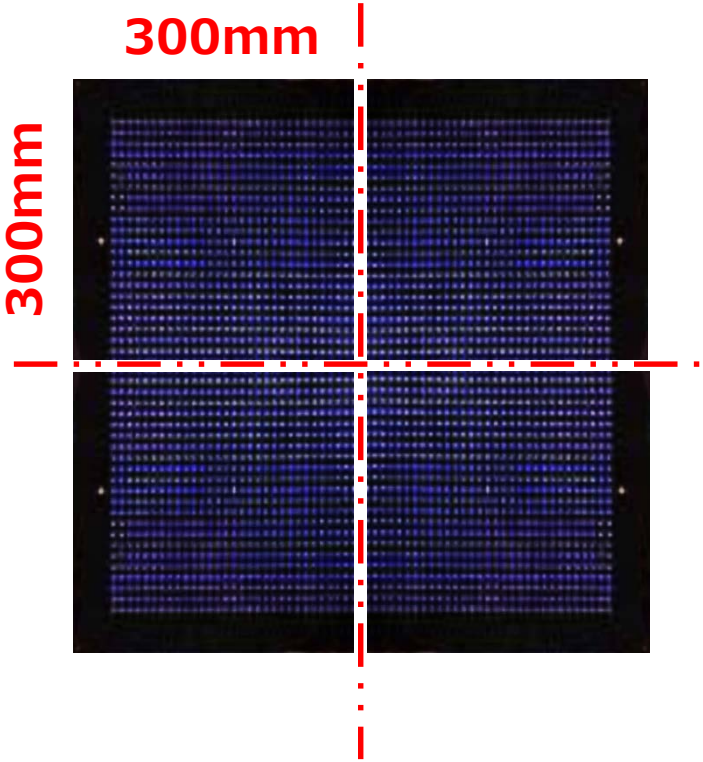
②□300mm以上を同時測定するテスターの課題

③□300mmを同時測定するプローブカードの課題

活動成果３： FOPLPのファイナル検査 （2/5）

➢ 【提案】パネルを□300mm以下に分割する

『現有資産の活用が可能』



活動成果３： FOPLPのファイナル検査 （3/5）

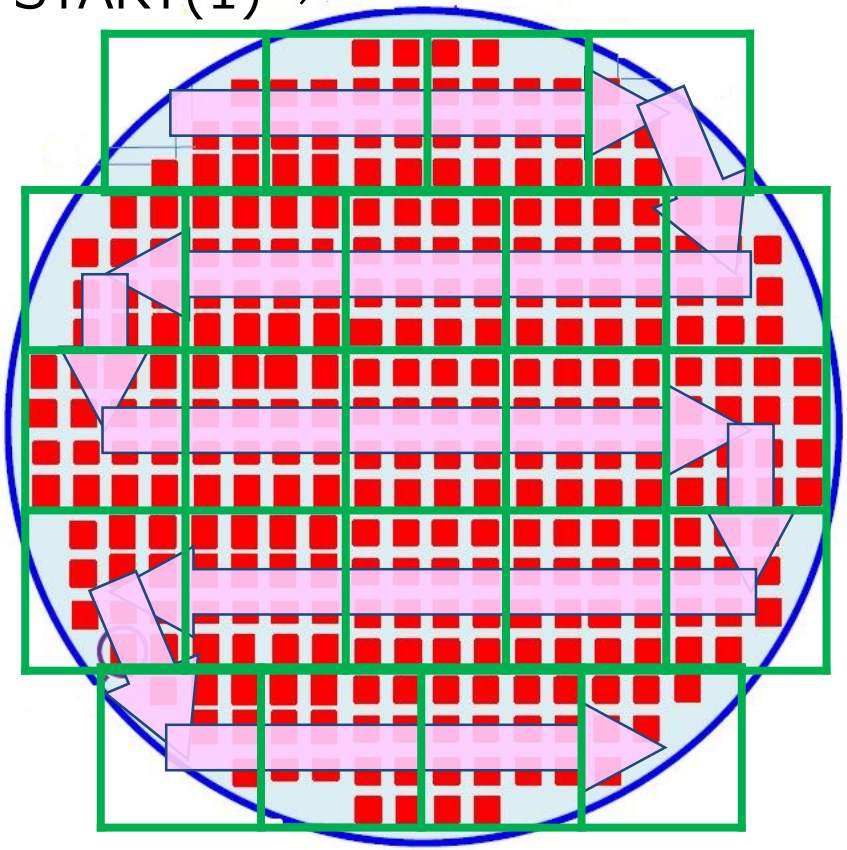
➢ 【シミュレーション】WLPとPLPのテストタイム比較

➢ 【条件】

- **Φ300mm**のWLP
- チップサイズ:□9mm
- チップ間隙間：5mm
- 総チップ数：**300**個
- プローブ：4×4の16個同時測定

➡ タッチダウン数：**23**回

START(1)⇒



⇒END(23)

活動成果３： FOPLPのファイナル検査 （4/5）

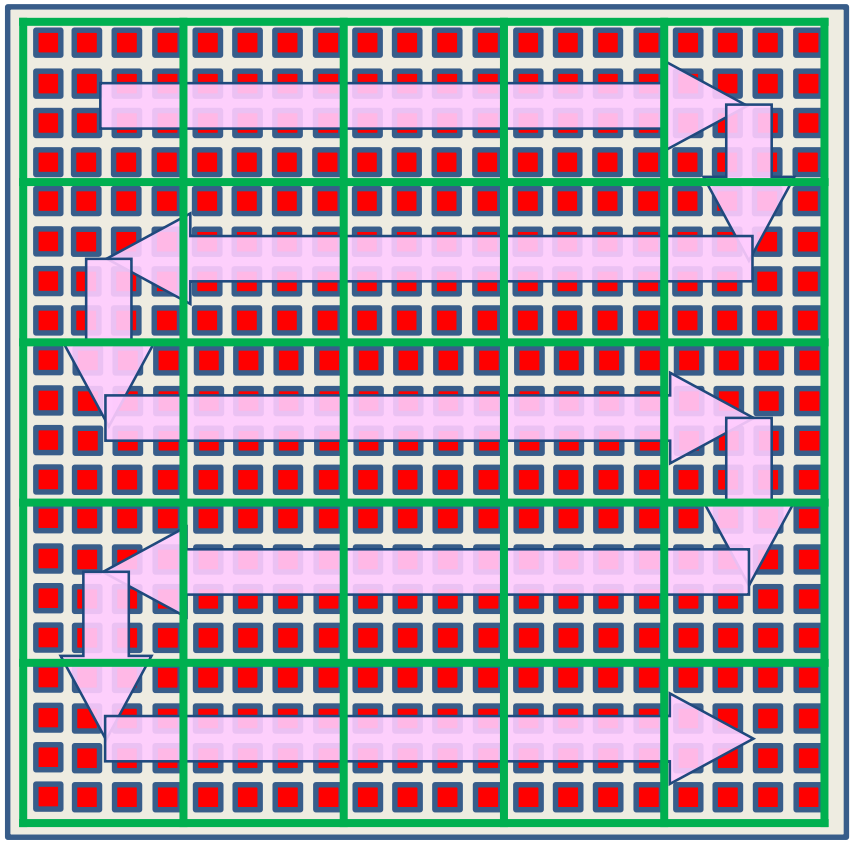
➢ 【シミュレーション】WLPとPLPのテストタイム比較

➢ 【条件】

- □**300mm**のPLP
- チップサイズ:□9mm
- チップ間隙間：5mm
- 総チップ数：**400**個
- プローブ：4×4の16個同時測定

➡ タッチダウン数：**25**回

START(1)⇒



⇒END(25)

活動成果３： FOPLPのファイナル検査 （5/5）

➢ 【結果】テストタイムを10～60sとしたときの
１チップあたりのテストタイム比較

単位：s

Test Time(s) 16個同時測定		10	30	60
WLP 300チップ 23タッチダウン	Test Time (s) /Wafer	230	690	1,380
	Test Time (s) /Chip	0.77	2.30	4.60
PLP 400チップ 25タッチダウン	Test Time (s) /Panel	250	750	1,500
	Test Time (s) /Chip	0.63	1.88	3.75
Test Time (s) /Chip削減率		18.5%	18.5%	18.5%

PLPではWLPと比較して
約18.5%のテスト時間の削減が可能
(16個同時測定の時)