

半導体の最新関連技術と材料

第8回

2.xD および3D 技術の進化と材料： RESONAC の統合的アプローチ



株式会社レゾナック
エレクトロニクス事業本部 開発センター 戦略部
もろさき ともひと
諸崎 友人

1. はじめに

半導体産業は、人工知能（AI）、5G 通信、自動運転、エッジコンピューティングなど、高度な情報処理を必要とする技術の急速な発展に伴い、かつてない速度で進化を遂げている。この進化の過程で、業界は大きなパラダイムシフトに直面している。2015年頃から、従来の微細化による性能向上（ムーアの法則）が限界に近づく中、新たな技術革新の源泉として半導体パッケージング技術、特に2.xD および3D パッケージング技術が注目を集めている [1]。

国際半導体技術ロードマップ（IRDS）2022年版によると、7nm 以降のプロセスノードでは、微細化に伴う製造コストの急激な上昇、消費電力の増大、配線遅延の増加などが顕著になっている [2]。これらの課題に対応するため、業界は Heterogeneous Integration と呼ばれる新たなアプローチを採用し始めた。

本論文では、半導体産業が直面する技術的課題と、それに対応するための2.xD および3D パッケージング技術の重要性を詳細に考察する。特に、これらの先進的パッケージング技術の実現に不可欠な材料技術の役割に焦点を当て、半導体材料を手掛ける機能性化学メーカーである RESONAC の具体的な取り組みを述べる。

2. 半導体産業の技術的課題と

Heterogeneous Integration

半導体産業は、ムーアの法則に基づく微細化の限界に直面している。物理的限界、経済的限界、設計複雑性の増大の3つの主要な要因がムーアの法則の終焉をもたらすと指摘されている [3]。物理的限界としては、トランジスタサイズが原子レベルに近づくにつれて量子効果が顕在化し、従来の設計原理が適用できなくなっている点が挙げられる。経済的限界としては、最先端プロセスノードの開発と製造に要するコストが指数関数的に増大している点が重要である。さらに、設計複雑性の増大は、チップの検証と製造を困難にし、開発期間の長期化とコスト増大をもたらしている。

これらの課題に対応するため、業界は Heterogeneous Integration アプローチを採用し始めた。Heterogeneous Integration は、異なる材料、デバイスタイプ、および技術ノードで製造された個別のデバイスコンポーネントを、シリコ

ン、ガラス、または有機基板上に統合して、より高性能で小型、低コスト、および低消費電力のシステムを実現する技術と定義されている [4]。このアプローチにより、最適なプロセスノードの選択、性能向上、設計の柔軟性、Time-to-Market の短縮などの利点が得られる。

3. Heterogeneous Integration と

Chiplet 技術

Heterogeneous Integration の実現手段として、Chiplet 技術が注目を集めている。Chiplet 技術は、大規模な集積回路を機能ごとに小さなチップ（チップレット）に分割し、それらを高性能なパッケージング技術で統合する手法である [5,6]。この技術は、製造コストの削減、設計の柔軟性向上、性能の向上、スケーラビリティの改善など、多くの利点をもたらす。製造コストの削減は、小さなチップが大きなチップよりも製造歩留まりが高く、コスト効率が良いことに起因する。設計の柔軟性は、異なるプロセスノードや技術で製造されたチップレットを最適に組み合わせることができる点に現れる。性能の向上は、チップレット間的高速インターコネクトによりシステム全体の性能を向上させることができる点で実現される。さらに、スケーラビリティの改善は、必要に応じてチップレットを追加または交換することでシステムの拡張性が向上する点に表れる。

4. 2.xD および3D パッケージング技術

Chiplet 技術を実現する上で、2.xD および3D パッケージング技術が重要な役割を果たしている（図1） [6,7]。これらの技術は、複数のチップを水平方向または垂直方向に高密度に集積することを可能にし、システム全体の性能向上とフォームファクタの最適化を実現する。

2.xD パッケージング技術は、複数のチップを水平方向に配置し、高密度インターコネクトで接続する技術である。主な技術として、2.1D、2.3D、2.5D が挙げられる。2.1D は有機基板上に形成された再配線層（RDL）で複数のチップを接続する技術である。2.3D は有機インターポーザーを用いて、より高密度な配線を実現する技術である。2.5D はシリコンインターポーザーを用いて、さらに高密度・高性能な接続を実現する技術である。これらの技術の中で、特に

2.5D パッケージング技術は高性能コンピューティング (HPC) や AI 用途において広く採用されている [8]。

3D パッケージング技術は、チップを垂直方向に積層する技術である。Through-Silicon Via (TSV) やマイクロバンブを用いて層間接続を行う。3D パッケージング技術の主な利点として、システム性能の向上、省電力化、小型化、異種集積の実現が挙げられる [9]。

2.5D パッケージング技術の一種として、シリコンブリッジ技術が注目されている。この技術は、小さなシリコンブリッジを有機パッケージ基板や有機インターポーザーに埋め込み、高密度の局所的なダイ間相互接続を提供する [10]。シリコンブリッジ技術は、シリコンインターポーザーを用いる従来の2.5D パッケージングと比較して、製造コストを抑えつつ高性能な接続を実現できる利点がある。シリコンブリッジ技術は、特に FPGA (Field-Programmable Gate Array) 製品において広く採用されている。例えば、一部の FPGA 製品では、シリコンブリッジ技術を用いて FPGA コアと高速トランシーバチップレットを接続している [11]。この技術により、FPGA の性能向上とコスト最適化が実現されている。

5. 先端パッケージング技術における材料技術の重要性

2.xD および3D パッケージング技術の実現には、新たな材料技術が不可欠である。先進的パッケージング技術における材料技術の重要性は、電気的性能の向上、熱管理の改善、機械的信頼性の確保、およびプロセス適合性の向上という

四つの主要な側面に集約される [12]。電気的性能の向上においては、低誘電率・低損失材料の開発により、高速信号伝送と低消費電力化が可能となり、特に高周波帯域での信号品質の維持が重要である。熱管理の改善では、高熱伝導性材料の開発により、高密度実装に伴う発熱問題の解決が可能となる。特に3D 積層構造では、チップ間の熱伝導経路の確保が課題となる。機械的信頼性の確保に関しては、熱膨張係数 (CTE) の整合や応力緩和特性を持つ材料の開発により、異種材料統合に伴う信頼性問題を解決できる。特に、温度サイクルに対する耐性が重要である。プロセス適合性の向上では、微細加工や低温プロセスに適した材料の開発により、高精度な製造が可能となる。特に、微細ピッチの接続技術に対応した材料開発が求められる。

これらの要求に応えるため、RESONAC は銅張積層板 (CCL)、エポキシ樹脂封止材 (EMC)、感光性絶縁材料 (PID)、ノンコンダクティブフィルム (NCF)、キャピラリーアンダーフィル (CUF)、ドライフィルムレジスト、ソルダーレジスト (SR)、熱界面材料 (TIM) など、様々な分野で革新的な材料開発を進めている (図2)。例えば、CCL では低誘電率・低損失特性を持つ材料の開発により、2.5D/3D パッケージングにおける高速信号伝送を実現している。EMC では高熱伝導性と低応力特性を両立する封止材の開発により、熱管理と信頼性の向上を実現している。PID では微細配線形成に適した高解像度感光性材料の開発により、L/S=2/2 μm 以下の高密度 RDL の形成を目指している。NCF と CUF では狭ギャップ充填性と高信頼性を両立したアンダー

As data increases, evolution of front -end process becomes more difficult.
For further evolution, back-end process becomes more important than before.

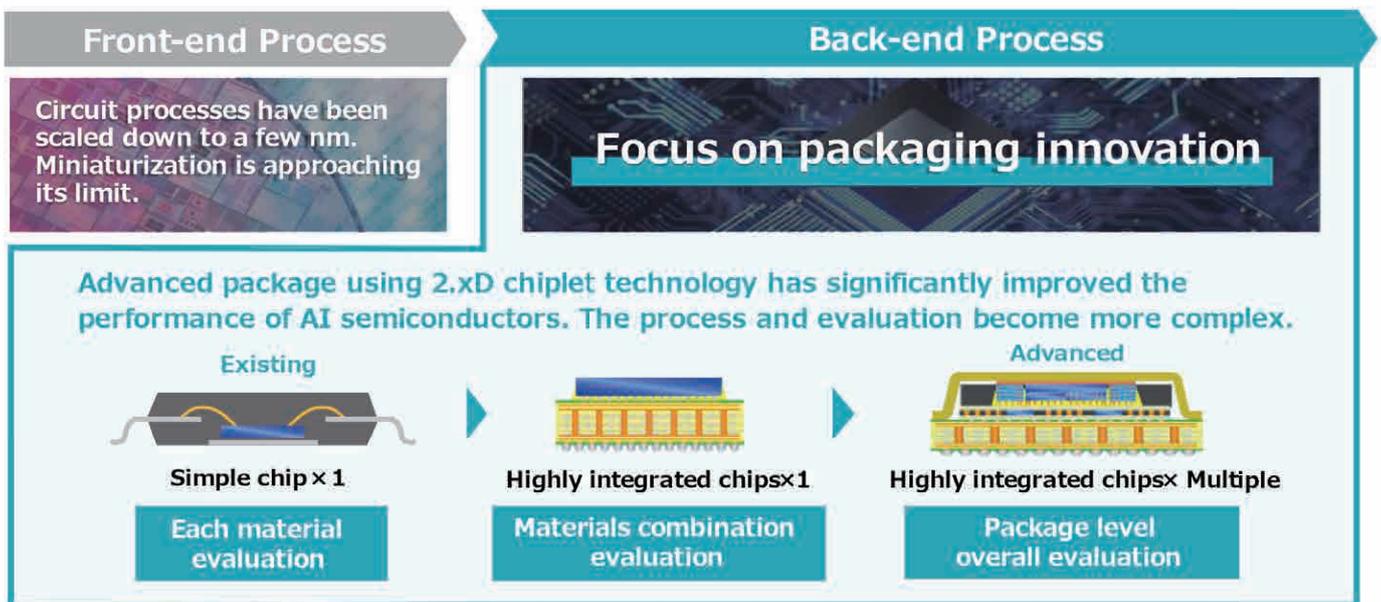


図1 Evolution of Semiconductors for AI Society

フィル材料の開発により、10 μm ピッチ以下の微細バンプに対応する3D構造の信頼性向上に貢献している。ドライフィルムレジストとSRでは、微細ピッチに対応可能な高解像度レジストの開発により、高密度実装を支援する。これらの材料は、特に最近では、パネルレベルパッケージング (PLP) 技術への対応が求められている。TIM では、高熱伝導性と低熱抵抗を実現する TIM の開発により、効率的な熱管理を可能にする。

RESONAC は、これらの幅広い材料ポートフォリオを保有しているだけでなく、単一材料の評価にとどまらず、複合材料の評価も可能である。この総合的な材料開発と評価能力により、RESONAC は先進的なパッケージング技術の要求に対して、より包括的で効果的なソリューションを提供することができる。この能力は、次節で説明するパッケージングソリューションセンター (PSC) の機能と密接に結びついており、RESONAC が業界のニーズに迅速かつ的確に対応できる体制を構築している基盤となっている。

6. RESONAC の貢献

RESONAC は、半導体パッケージング用の先進材料開発において、幅広い材料ポートフォリオを構築するとともに、評価センターである PSC を有している。

RESONAC の主要な製品群には、高純度ガス、CMP (Chemical Mechanical Polishing) スラリー、CCL、EMC、PID、NCF、CUF、ドライフィルムレジスト、SR、TIM などが含まれ、前工程から後工程まで幅広い製品を有する。

これらの材料は、2.xD および3D パッケージング技術、Chiplet 技術の実現に不可欠であり、半導体デバイスの性能向上と信頼性確保に大きく寄与している。

PSC は、最新の装置と評価技術を備え、材料開発から実装プロセス、信頼性評価まで一貫した研究開発を可能にする施設である。PSC では、ファンアウト (FO) パッケージ、アンテナインパッケージ (AiP)、2.xD および3D パッケージなど、様々な先端パッケージング技術のターゲットに対応した評価が可能である。

PSC の主な特徴として、実際のパッケージング工程を模擬した環境での材料性能評価、10 μm ピッチ以下の微細バンプの形成と評価が可能な微細バンプ形成プロセス、L/S=1.5/1.5 μm 以下の微細配線形成が可能な RDL 形成プロセス、チップ埋め込み技術の評価が可能なモールド成形・研磨プロセス、さらには温度サイクル試験、高温高湿試験、電気特性評価など、包括的な信頼性評価設備が挙げられる。この統合的なアプローチにより、RESONAC は材料の特性が実際のデバイス性能にどのように影響するかを直接的に評価し、顧客ニーズに迅速かつ的確に対応できる体制を構築している。

また RESONAC は、JOINT2 (次世代半導体パッケージに実装技術開発コンソーシアム) プログラムを通じて、先端パッケージング技術の開発に積極的に取り組んでいる [13-16]。このプログラムでは、以下の3つの重要なプロジェクトを実施している (図3) :

(1) 微細バンプ接合技術の開発 : 10 μm ピッチの微細バン

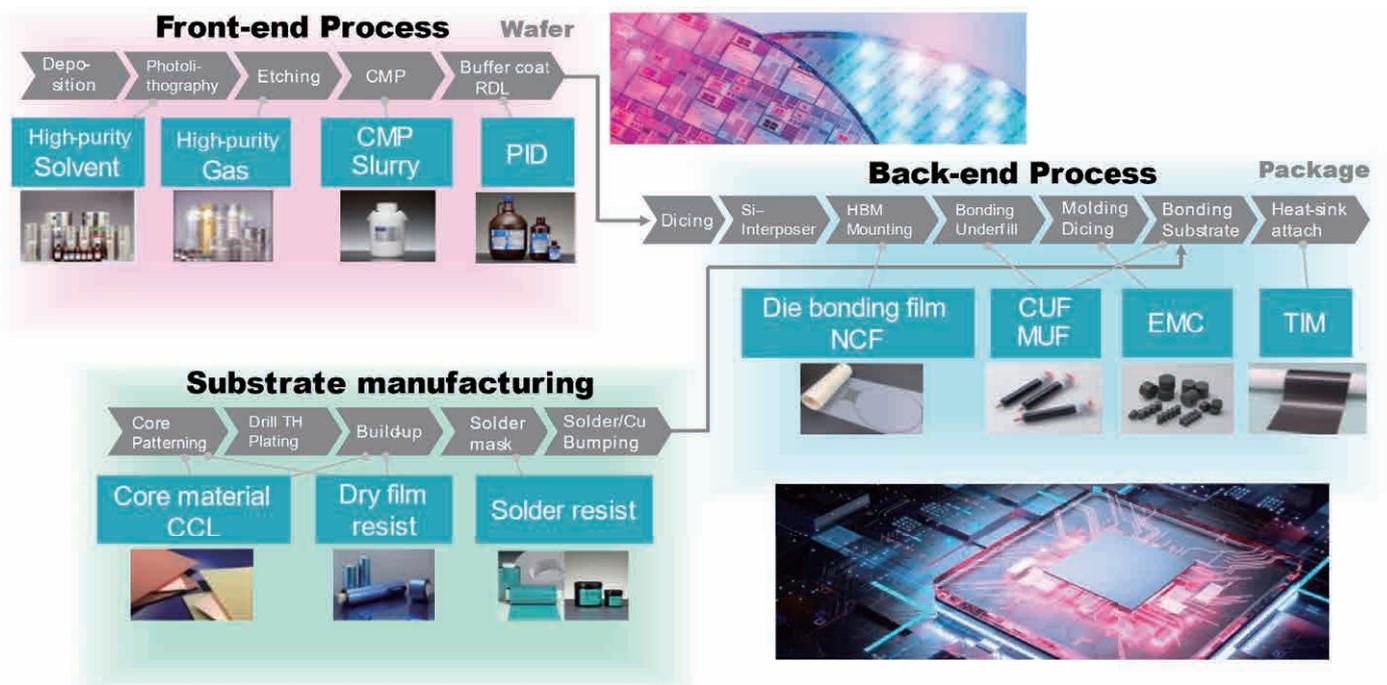


図2 Resonac Materials Lineup for Semiconductor

プ接合技術の確立を目指しており、現在12 μm ピッチでの接合技術を達成している。RESONACのNCFとCUF材料が、この微細バンプ接合技術の実現に大きく貢献している。
 (2) 微細配線形成技術の開発：L/S=1.0/1.0 μm の有機インターポザー技術の確立を目指し、現在L/S=1.5/1.5 μm の微細配線形成を達成している。RESONACのPID材料が、この微細配線形成技術の鍵となっている。
 (3) 大型基板の高信頼性技術の開発：140 mm角の大型基板で信頼性を担保可能な技術の確立を目指し、現在120 mm角基板での高信頼性を達成している。RESONACのCCLとEMC材料が、この大型基板の信頼性向上に重要な役割を果たしている。

これらのプロジェクトを通じて、RESONACは2.xDおよび3Dパッケージング技術の発展に大きく貢献している。特に、材料技術と実装技術を統合的に開発することで、パッケージング技術の課題解決に向けた包括的なアプローチを実現している。

7. RESONACの今後の展開

RESONACは、グローバルな半導体エコシステムにおける存在感を高めるため、以下の取り組みを進めており、海外拠点設立やコンソーシアムにおける戦略パートナーとしての参画を実行している。

1: 海外拠点では、シリコンバレーに新たな拠点とコンソーシアムであるUS-JOINTを設立し、米国の半導体企業や研究機関との連携を強化している [17]。この取り組みにより、最新の技術トレンドをいち早く捉え、次世代パッケージ

ング技術の開発に活かすことを目指している。US-JOINTは、材料開発から評価、実装技術までを一貫して行える施設となることが期待されている。

2: 海外コンソーシアムへの参画では、テキサス大学オースティン校が主導するTIE (Texas Institute for Electronics) に戦略パートナーとして参画している [18]。TIEは、産学官連携を通じて次世代半導体技術の開発を加速させることを目的とした包括的なコンソーシアムである。この活動を通じて、RESONACはアカデミアの知見を取り入れつつ、次世代半導体技術の開発を加速させることを目指している。

これらの取り組みにより、RESONACは単なる材料サプライヤーの枠を超え、半導体パッケージング技術の進化を先取りし、業界全体の技術革新を支援する存在へと進化を図っている。

8. 今後の展望と課題

半導体パッケージング技術は、今後さらなる進化を遂げると予想される。特に重要な課題として、さらなる微細化と高性能化、熱管理の向上、コスト効率の改善、信頼性の確保が挙げられる。微細化と高性能化においては、チップ間接続の微細化と高速化が進み、より高性能なシステムの実現が可能となる一方で、より高性能な材料の開発が求められる。熱管理の向上では、高密度化に伴う発熱問題の解決が重要課題となり、特に3D積層構造における効率的な熱伝導経路の確保が求められる。コスト効率の改善に関しては、高性能化と同時に製造コストの削減が求められ、材料

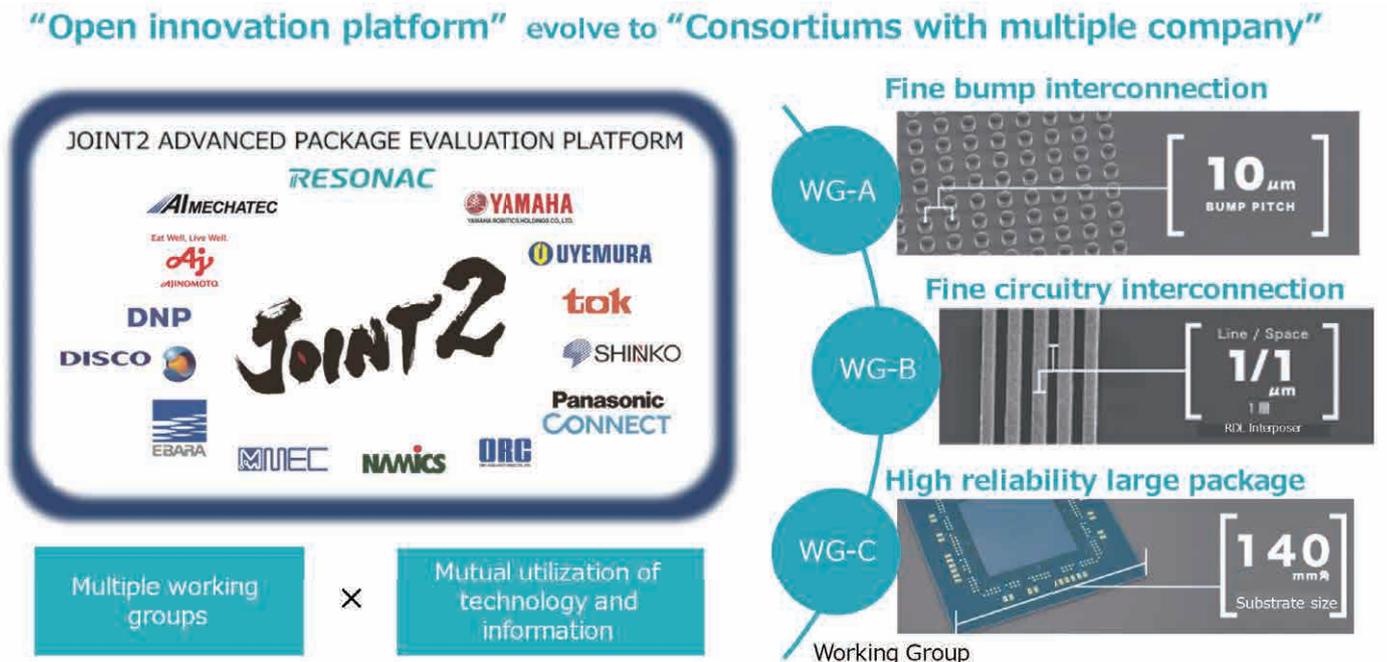


図3 JOINT2 Consortium and Advanced Package Evaluation Platform

とプロセスの両面からのアプローチが必要となる。信頼性の確保においては、異種材料の統合に伴う信頼性の確保が重要となり、特に熱応力や機械的応力に対する耐久性の向上が求められる。これらの課題は、材料1点のみで解決できるものではなく、実際の半導体パッケージに実装するまでのプロセス、実使用環境、それらすべてにおける材料同士の相性も含めた統合評価によってのみ解決されるものであり、PSCの重要性がさらに高まっている。

9. 結論

半導体産業は、従来の微細化による性能向上の限界を超えて、より多様で複雑な技術の組み合わせによって発展を続けている。この新たな時代において、2xDおよび3Dパッケージング技術、Chiplet技術は中核的な役割を果たしている。これらの技術の実現には、革新的な材料技術とともに、材料メーカー、装置メーカー、半導体メーカーなど、多様なプレイヤーの協力のもとに、半導体パッケージングの統合的なソリューション提供が不可欠である。

10. 謝辞

JOINT2は、国立研究開発法人新エネルギー・産業技術総合開発機構（NEDO）の助成事業「ポスト5G情報通信システム基盤強化研究開発事業」（JPNP20017）の支援を受けて実施されました。



参考文献：

[1] International Roadmap for Devices and Systems (IRDS), 2022 Edition.
 [2] Microelectronics and Advanced Packaging Technologies Roadmap, 2024.
 [3] Theis, T.N., Wong, H.S.P., "The End of Moore's Law: A New Beginning for Information Technology", *Computing in Science & Engineering*, 19(2), 41-50, 2017.

[4] Iyer, S.S., "Heterogeneous Integration for Performance and Scaling", *IEEE Transactions on Components, Packaging and Manufacturing Technology*, 6(7), 973-982, 2016.
 [5] Lau, J. H. "Recent advances and trends in advanced packaging." *Journal of Microelectronics and Electronic Packaging* 16.2 (2019): 45-77.
 [6] J. Yin et al., "Modular Routing Design for Chiplet-Based Systems," 2018 ACM/IEEE 45th Annual International Symposium on Computer Architecture (ISCA), Los Angeles, CA, USA, 2018, pp. 726-738.
 [7] Zhang, X. et al., "Heterogeneous 2.5D integration on through silicon interposer", *Applied Physics Reviews*, 2(2), 021308, 2015.
 [8] Naffziger, S. et al., "AMD Chiplet Architecture for High-Performance Server and Desktop Products", 2020 IEEE International Solid-State Circuits Conference (ISSCC), 2020.
 [9] Knickerbocker, J.U. et al., "Three-dimensional silicon integration", *IBM Journal of Research and Development*, 52(6), 553-569, 2008.
 [10] Mahajan, R. et al., "Embedded Multi-die Interconnect Bridge (EMIB) - A High Density, High Bandwidth Packaging Interconnect", 2016 IEEE 66th Electronic Components and Technology Conference (ECTC), 2016.
 [11] Greenhill, D. et al., "A 14nm 1GHz FPGA with 2.5D Transceiver Integration", 2017 IEEE International Solid-State Circuits Conference (ISSCC), 2017.
 [12] JOINT2 Program Official Website, 2024.
 [13] S. Katoh, D. Kang, K. Ueno and K. Mitsukura, "Development of Fluxless Micro-Bonding and Narrow Gap Filling Process," 2023 IEEE 73rd Electronic Components and Technology Conference (ECTC), Orlando, FL, USA, 2023, pp. 888-892.
 [14] Y. Imazu and K. Mitsukura, "Hybrid Bonding Utilizing Molding Compound and Dielectric Systems," 2023 IEEE 73rd Electronic Components and Technology Conference (ECTC), Orlando, FL, USA, 2023, pp. 1649-165.
 [15] M. Minami, D. Yamanaka, M. Toba, S. H. Tsai, S. Katoh and K. Mitsukura, "Fabrication of Two-types Panel-level Interposers with Fine Cu Wirings and Outstanding Electrical Reliability," 2023 IEEE 73rd Electronic Components and Technology Conference (ECTC), Orlando, FL, USA, 2023, pp. 520-525.
 [16] K. Murai, H. Onozeki, D. Kang, K. Hirano and K. Mitsukura, "Study of Fabrication and Reliability for the extremely large 2.5D advanced Package," 2023 IEEE 73rd Electronic Components and Technology Conference (ECTC), Orlando, FL, USA, 2023, pp. 899-906.
 [17] RESONAC Corporation, "Establishment of US-JOINT: Advancing Semiconductor Packaging Innovation in Silicon Valley", Press Release, 2024.
 [18] Texas Institute for Electronics (TIE) Official Website, 2024.