

理工学研究科 真壁研究室

未知との遭遇：プラズマプロセスを通して

おおもり たけし やぎさわ すぐる まかべ としあき
大森 健史、八木澤 卓、真壁 利明

1. 前書き

未知のものに遭遇しこれを知りたいと思う。これが研究への第一歩で、若者を研究へと駆り立てる動機です。先のミレニアムを挟んだ時期、ユビキタス時代の到来に向け科学技術が急速に発展するとともに、考古学上の発見も続き、科学技術史が過去へとさかのぼった時期でもありました。3000年前には縄文人と弥生人が接触しながら日本文化の芽を育てたことが明らかとなり、ヨーロッパ南アルプスで突然私たちの前に出現した5000年前のアイスマンは驚くほど丹精な服装をまとい、ロマンに満ちた空想を駆り立たせてくれました。人類の日々の営みから生まれ育った科学技術は、行きつ戻りつしながら途轍もなく長い年月をかけて、その歩みを止めることなく発展し続け現在に至っています。

20世紀の最後の四半世紀、Si-LSIが日本と米国を核に飛躍的に発展し、私たちはシリコンの時代を謳歌し、その欲求はユビキタス時代を求めて果てしなく広がり続けています。シリコンチップの上に築かれつつあるユビキタス時代、この科学技術確立の要が、物質第四の相と呼ばれるプラズマをツールにSiにナノメートルの超微細な加工をほどこすプラズマプロセス技術です。真壁研究室では原料となる原子・分子の量子構造をもとにユニークなプラズマをデザインしトップダウンナノ加工を見積もる、慶應版予測CAD, VicAddress (Vertically Integrated Computer Aided-Design for Device processing)^{1,2}を開発しながら未踏の領域へ一歩ずつその歩を進めています (Plasma Electronics: Applications in Micro-electronic Device Fabrication (Taylor & Francis), <http://www.mkbe.elec.keio.ac.jp>)。

プラズマプロセスは加工面でエッチングとデポジションやチャージングの競争過程の下で実現される工学技術です。微細化が極限まで進んだデバイスの加工にも対応できる「インテリジェントなプラズマナノ加工技術」の実現を目指し

て情熱あふれる大学院生が日々研鑽を積み重ねています。デバイスの微細化に伴って顕在化するプラズマナノ加工の諸問題に対して、その物理的原理と解決策を理論・モデリング、実験計測の多方面から明らかにすることが真壁研究室のテーマです。一連のプラズマナノ加工を定量的に予測・デザインし、同時に実証実験するスキルは大変にユニークで、海外からも高い評価を受けており、海外からの研究者の訪問も絶えません。

私はいつでも、未知の課題に接したとき、過去の定説にとらわれることなく自分のスキル（知識体系）をもとに考えることの大切さ、そして楽しさを学生の皆さんと日々共有しながら、これまでに20名を超える博士を輩出してきました。以下、真壁研究室で現在行われている実験と理論・モデリングの代表的なテーマとその概要について、最近の結果をもとに簡単に紹介しましょう。

(真壁 記)

2. 実証実験

2.1 プラズマエッチング中のコンタクトホール内局所チャージング計測

半導体デバイス加工におけるプラズマエッチングは、今後もトップダウンナノ加工の基盤技術としてさらなる精度向上と高速化が要請されています。数十ナノメートル以下の領域加工では、酸化膜極薄化、高アスペクト比化によるチャージングダメージの顕在化、加工表面ゆらぎの高精度化、high-kやlow-k材など新素材化やデバイス構造複雑化などに対処したエッチング技術が必要とされてきます。

プラズマの中に置かれたウェーハの前には常に正イオンシースが形成されます。これに由来し、加工面へ入射する正負の荷電粒子は、等フラックスで非等速度分布の特徴を持ちます。従ってエッチングに際して、ビーム様の正イオンがおもに加工底部に、熱エネルギー様の電子が加工表面に分離して蓄積し、いわゆる局所的チャージング現象が発生します。これがゲート酸化膜破壊やノッチング、マイクロトレンチなどの形状異常を引き起こしデバイスの歩留まりを著しく低下させる原因となります。真壁研究室ではオリジナル予測CAD, VicAddressを用いて、この定常プラズマプロセスの属性の一つ、局所チャージングを低減・回避可能なプラズマ駆動方法をすでに提

案しています²³。これを実証し、さらにチャージングフリーなプラズマ制御方法を確立することが課題でした。実験とシミュレーション、それぞれの優れた点を生かしてダメージフリープロセスに挑戦している実例を紹介しましょう。

パルス駆動2周波平行平板容量結合型プラズマ(2f-CCP)のバイアス電極上に置いたSiO₂ホールパターンチップのチャージング電圧直接観測を通して、電氣的負性プラズマのウェーハ直前に生まれる負電荷加速機構を「加工面チャージング解消」に応用する研究を継続中です。リアクター内に設置した平行平板電極のうち、一方に高密度プラズマ駆動用のVHF(100 MHz)電源が、また対向電極には正イオン加速用低周波バイアス電源が結合されています。両電源はVicAddressによる予測デザインから機能分離されており、ウェーハへ入射するイオンのエネルギーが、プラズマ生成へ影響を与えることなく独立に制御可能です。図1(a)に示した発光分光計測法によって、負電荷加速機構とその加速強度を見積もることができます(図2参照)。同時に、プラズマエッチング中に酸化膜のホールパターンチップ底のチャージング電圧の直接測定が可能です(図1(b))。図3に示すように、負イオンを含むCF₄/Arプラズマではチャージング電圧がバイアス電圧増加に従って減少し、負電荷加速を利用したチャージング解消を実証実現しています⁴。特に、Arプラズマ中では負イオンが存在せず、チャージング電圧の解消は見られません。最近では、高アスペクト比パターンエッチング中、ドライブパルス一周期内のチャージング電圧の時間変化の直接計測から、エッチングとチャージングの因果関係に迫っています⁵。

2.2 発光分光CT計測によるプラズマ構造診断⁶

ウェーハ面上の加工形状の揺らぎを抑制するためには、ウェーハへ入射するラジカルフラックスと正イオン速度

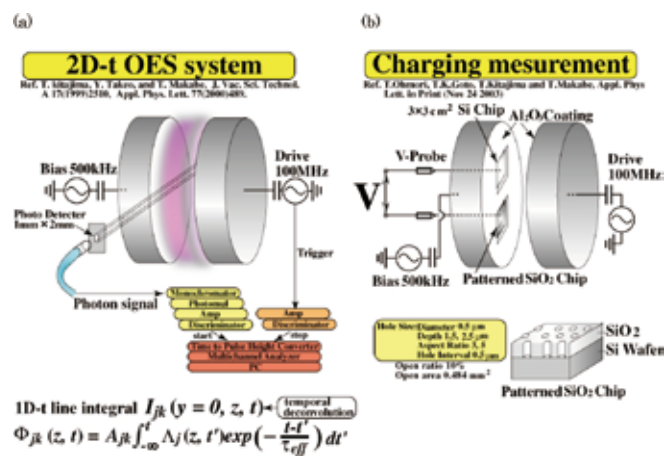


図1：2周波 CCP 実験システム概略図； 発光分光計測システム(a)、チャージング電圧直接計測システム(b)。

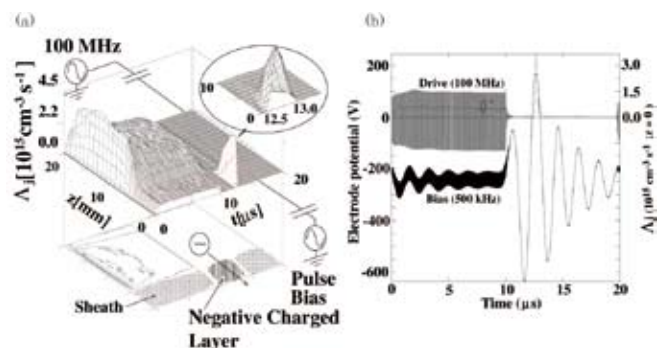


図2：パルス2周波 CCP におけるネット励起レートから見たエッチング面への負電荷加速注入(a)と、これを実現するバイアス一周期の両電極電位(b)。

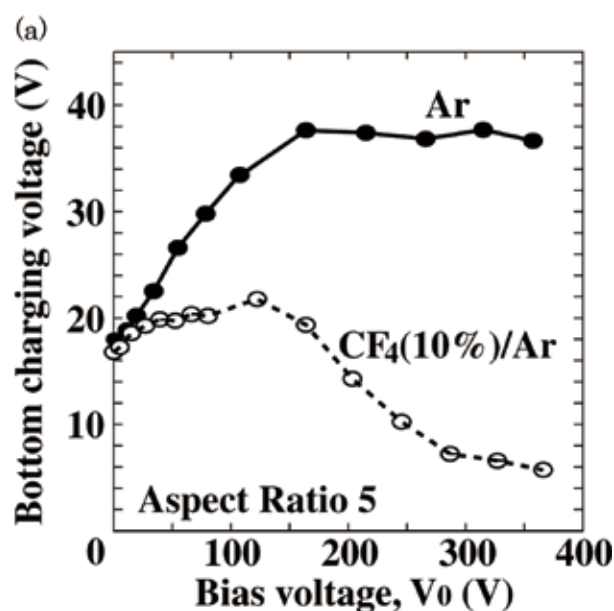


図3：エッチング時におけるSiO₂ホール底のチャージング電圧のバイアス振幅依存性。

分布の径方向一様性を向上させる必要があります。このイオン速度分布はシース電位に直接依存し、ネット励起レートの径方向分布の観測から推定可能です。前述のエミッションCT計測をプラズマの径方向に適用し、短寿命励起分子のネット生成レートの径方向時間分解CT像の考察からこれを実現しています。さらなる発展として、2f-CCP内の全時空間領域(2D-t)の観測からプラズマ構造を診断し、VicAddress結果の検証にあてています。

2.3 ロボットCTとICCDカメラを用いたE-H遷移のダイナミクス計測^{7,8}

プラズマが高周波電流コイルによる誘導電界により生成・維持される誘導結合型プラズマ(ICP)では、入力電力によるプラズマ密度がヒステリシス特性を示します。これはE-H遷移にもとづいた現象です。ロボットを用い

たエミッション CT 像から 3 次元非対称な E-mode(容量結合)と、対称な H-mode(誘導結合)を国内外で初めて可視化しています。

最近では、E-H 遷移のダイナミックスを解明し ICP の超安定駆動を確立するために、ICCD カメラを用いた観測も並行して採用しています。図 4 は ICCD で見た Ar (300 mTorr) におけるエミッション像で、E-mode (a) ではコイルに沿って電力供給端からアース端へ分布し、H-mode (b) ではリアクター中央部に分布することがわかります。E-H 遷移時には (a) 形状からエミッションがコイルに沿って進展し、拡散をへて (b) 形状が形成されます。

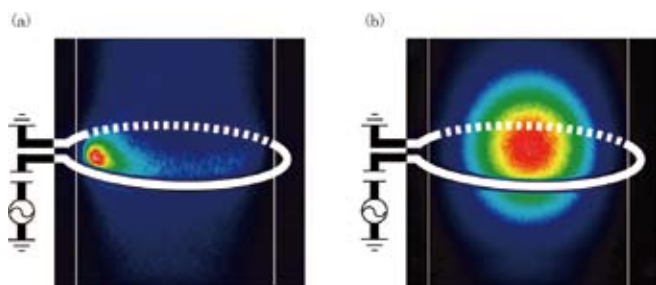


図 4 : ICCD カメラによる ICP の E-mode (a) と H-mode (b) のエミッション像

(ポストク 大森健史 記)

3. 理論・モデリング

超微細加工プロセスに起因した半導体チップ量産現場の最大の課題は MOS トランジスタのしきい値電圧のバラつきによる生産性の低下でしょう。従来の量産現場では、プロセスエンジニアがこのプロセスばらつきを抑制するために、装置形状、ガス圧力、投入パワーなど(プラズマ外部パラメータ)を半経験的に操作する、いわゆる「条件出し」が当然のように行われてきました。プラズマ外部パラメータを操作する最適化では、装置ごとに異なるプロセス特性が現れてしまい、物理現象の本質的理解につながることは稀でした。

真壁研究室のモデリング・理論グループでは、このような現状を改善し産業界のプロセス分野に貢献するために、慶應版プラズマプロセスの予測デザイン CAD、VicAddress (Vertically Integrated Computer-Aided Design for Device Processing) を 2000 年の国際会議で提案しています²³。低温プラズマプロセスは、一般的にその物理現象が時間的にも空間的にも幅広く分布しているスティフな系で、マルチスケール問題となります。VicAddress では考慮すべき物理現象の時空間スケールの違いに着目し、適切な仮定を設けた上で階層的なモデルを構築しています。電子数密度や空間電位などのプラズマ時空間構造や、加工表面に入射する活性種のフラックスやイオンの速度分布などのプラズマ内部

パラメータを明らかにしながら、最終目標のエッチング形状発展像から、プロセス中の下地デバイスダメージ(チャージングや熱)までを垂直統合シミュレーションし、予測デザインを行っています(図 5)。

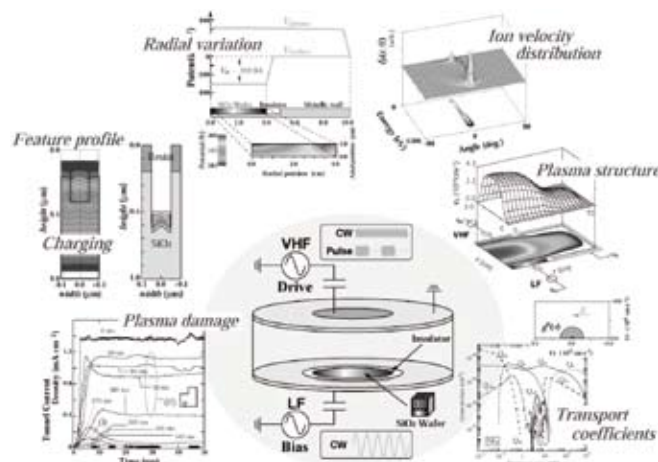


図 5 : 予測 CAD : VicAddress

3.1 2 周波容量結合型プラズマと誘電体エッチング予測^{9,10}

ここでは、2 周波平行平板容量結合型プラズマ (2f-CCP) 装置 (CF₄ (5%) / Ar, 50 mTorr、プラズマ源 : VHF 100 MHz/300 V、バイアス源 : LF 1 MHz/700V) を用いて、SiO₂ のエッチング形状のウェーハ面内均一性を予測デザインした例を紹介します。2010 年以降の ULSI の量産にとって重要課題であるウェーハ大口径化に対応するためには、エッチングのウェーハ面内均一性を向上しなければなりません。

例えば、プラズマ密度に径方向不均一性が生じると、ウェーハへ入射するラジカルフラックスや正イオン速度分布はこれを反映して不均一となり、エッチングのウェーハ面内均一性に影響がでます。VicAddress では、エッチング特性に直接影響を与えるプラズマ内部パラメータ、正イオンや中性ラジカルの入射フラックスと速度分布に特に焦点を当てて議論することができます。

図 6 はプラズマ電位(実線)とウェーハ表面電位(点線)の径方向分布をバイアス電源の各位相で示しています。ウェーハ中央部では両電位ともに、いつも径方向に均一で、プラズマ電位はバイアス電源の瞬時アノード位相 ($\omega t = \pi/2$) で最大、瞬時カソード位相 ($\omega t = 3\pi/2$) で最小となります。一方、ウェーハ端では、バイアス電源の各位相で表面ポテンシャルが強く歪み、シース電圧の径方向均一性が著しく低下します。ウェーハ上でシース電圧が最大となる位相が径方向位置で異なり、ウェーハ面上では瞬時カソード位相で、リアクター壁上では瞬時アノード位相で最大となります。ウェーハ端に生まれ

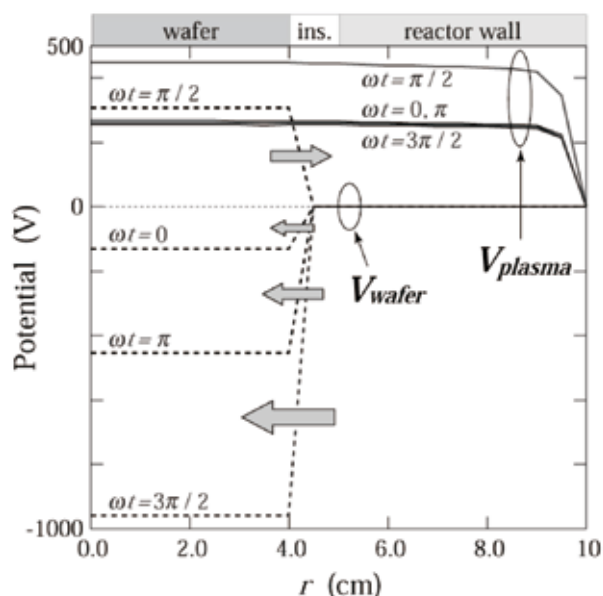


図6：バイアス1周期におけるプラズマ電位とウェーハ表面電位の径方向分布

る電位歪みにより、エッジ電界の径方向成分の向きがバイアス電源の位相に依存し、入射正イオンは、ウェーハが負バイアスとなる大部分の位相で外側から内側へ、正バイアス位相で内側から外側へ、それぞれ加速されます。

図7はバイアス電源の1周期で平均したウェーハ中央部とウェーハ端に入射する正イオンのフラックス速度分布を示しています。ウェーハ中央部の速度分布は低周波シースで典型的な、低エネルギーと高エネルギーに2つのピークを持つバイモダルな形状となります。本外部条件の下ではシース内でのイオンとガス分子の衝突回数は高々、1、2回であり、正イオンの入射角は半値幅4～5°の分布となります。一方、ウェーハ端では、強いエッジ電界により正イオンの軌道が曲げられ、そのエネルギーと角度分布はウェーハ中央部と全く異なった振舞いをします。ウェーハ電位が負となる位相と正となる位相で、入射角度分布の向きが逆となります。

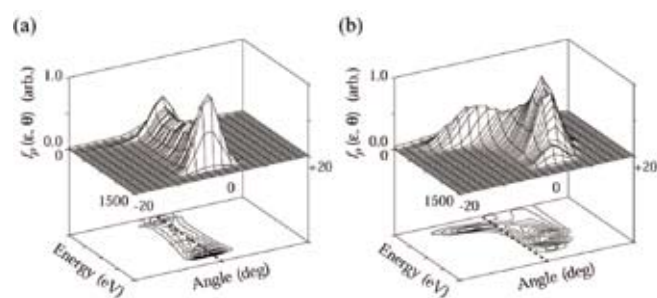


図7：バイアス1周期で時間平均した正イオンフラックス速度分布例；ウェーハ中央部(a)、ウェーハ端(b)

図8は、VicAddress を用いてエッチングプラズマ構造と入射フラックス速度分布から予測デザインした、ウェーハ中央部とウェーハ端におけるSiO₂トレンチ形状発展の様子を表しています。トレンチの底部では、正イオンの物理スパッタによるSiO₂膜の除去と中性ラジカル(CF₂)のデポジションによるポリマー膜の堆積の競合によりエッチングが進行しています。ウェーハ中央では正イオンがほぼ垂直に入射するため、エッチ形状も鉛直方向に対して対称となり、トレンチ底部のエッチレートは467nm/minです。一方、ウェーハ端では正イオンの入射角分布が非対称で、ウェーハの外側から内側への入射成分が多く、かつ、そのエネルギー分布の最大値も低くなるために、エッチレートも400nm/minと低下しそのエッチ形状もウェーハの内側へ歪んだまま形状発展します。さらにレジストマスクの肩落ちも顕著になっています。

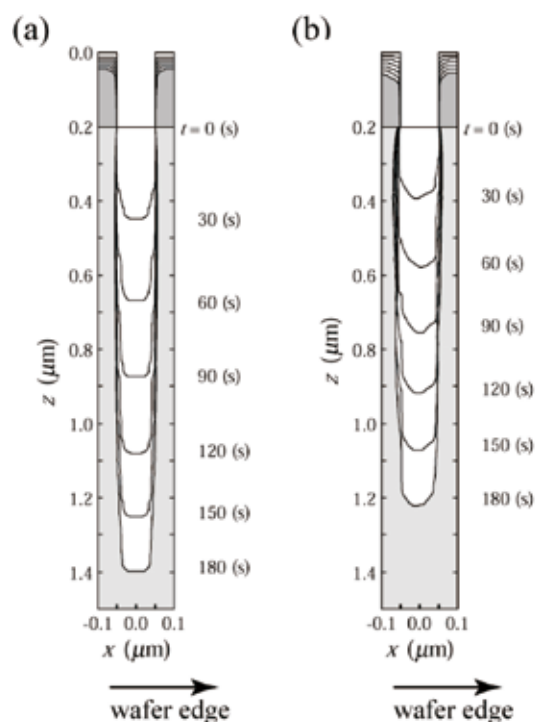


図8：VicAddressによるエッチング形状の時間発展予測像；ウェーハ中央部(a)、ウェーハ端(b)

ウェーハ端に発生する径方向電界とそのバイアス周期依存性を緩和し、ウェーハ端まで有効利用する一つの手法は適切なリング(Focus ring)をここに置くことで、量産現場では長く経験的に行われています。

(ポストク 八木澤卓 記)

4. 後書き

真壁研究室では、春合宿セミナー、夏合宿セミナーや新年会を、また、企業技術者や海外からの訪問研究者の講演

会と懇談会などを企画し、学生の会話力・人間力を高めるとともに、国内外と連携した研究室活動を行っています。大学院生は毎年、海外の国際会議に出席し、その成果を自ら問うのが慣習です。国際会議の席上、海外の学生と接し強烈なカルチャーショックを受け、自分自身を見つめなおすいい機会ともなっています。

現在、慶應義塾の情報・電気・電子分野の21世紀 COE (Center of Excellence) 拠点としての活動も行っています。

参考文献

- 1) T. Makabe and Z. Petrovic, "Plasma Electronics: Applications in Microelectronic Device Fabrication", Taylor & Francis (New York, London) (2006).
- 2) T. Makabe, Ed., "Advances in Low Temperature RF Plasmas: Basis for process design," Elsevier (Amsterdam) (2002).
- 3) T. Makabe and K. Maeshige, Appl. Surf. Sci. 192, 176 (2002).
- 4) T. Ohmori, T. K. Goto, T. Kitajima, and T. Makabe, Appl. Phys. Lett. 83, 4637 (2003).
- 5) T. Ohmori, T. K. Goto, T. Kitajima, and T. Makabe, Jpn. J. Appl. Phys. (Express Lett), 44, L1105 (2005).
- 6) T. Makabe and Z. Lj. Petrovic, Appl. Surf. Sci. 192, 88 (2002).
- 7) A. Okigawa, M. Tadokoro, A. Itoh, N. Nakano, Z. Lj. Petrovic, and T. Makabe, Jpn. J. Appl. Phys. 36, 4605 (1997).
- 8) Y. Miyoshi, Z. Lj. Petrovic, and T. Makabe, J. Phys. D: Appl. Phys. 35, 454 (2002).
- 9) T. Yagisawa, K. Maeshige, T. Shimada, and T. Makabe, IEEE Trans. on Plasma Sci. (Invited Paper) 32, 90 (2004).
- 10) T. Shimada, T. Yagisawa, and T. Makabe, Jpn. J. Appl. Phys. (Express Lett), 45, L132 (2006).



図9：真壁研究室、春合宿セミナーのひとコマ。

電子工学科 黒田研究室

「夢を形に、世界へ発信。」

くろだ ただひろ
黒田 忠広

私たちは、高性能なシステム LSI の設計技術を研究しています。ユビキタス情報化社会の実現には、超低消費電力で高速・高性能なインタフェース技術が重要です。特に、快適なモバイル環境を実現するためのワイヤレス通信と認識技術、および高速なネットワークを実現するためのブロードバンド通信に関わる LSI 技術を研究しています。世界にビジョンを発信し、産学連携を軸にその具現化をめざします。

世界ベスト5の研究室を目指して

研究室は2000年に発足し、これまでに12名の学生が卒業しました。現在26名の学生が在籍しています。このうち、9名は博士課程です。研究のプロとして社会で活躍できる博士の育成に力を入れています。

また、中国やインドなどアジアからの留学生が7名在籍しています。急速な経済発展に世界が注目するアジアにおけるセンターオブエクセレンスを目指します。既に、韓国・KAIST の Hoi-Jun Yoo 先生の研究室と中国・清華大学の Zhihua Wang 先生の研究室とは、2003年から毎年ワークショップを開いて交流を深めています。2004年には両校から40名近くの学生や教官が慶應義塾大学に集まり、ワーク



写真：2004年に慶應義塾大学で開催された、清華大・KAIST・慶大ワークショップ

ショップが開かれました《写真》。学生たちは、卒業後も互いに連絡を取り交流を続けているようです。最近では、インド工科大学や国立台湾大学との連携も模索しています。アジアの秀才たちが日本で学び、卒業後も日本で活躍し、あるいは将来自国に帰った後も、両国の経済や文化の架け橋として活躍してくれることを期待しています。

一方、LSI のメッカはアメリカのシリコンバレーで、この地との繋がりも重要です。私たちはシリコンバレーの研究所やスタートアップと共同研究をしています。これまでに10名の学生たちが半年間シリコンバレーに滞在して研究やインターンシップを経験しました。英語の苦手な学生も、シリコンバレー風のプレゼンテーションを身に付けるなど、逞しく成長して帰ってきます。

LSI 回路設計の分野で最大の国際会議は、ISSCC（国際固体素子回路会議）です。毎年4000人近くが参加して最先端の技術を発表するので、半導体のオリンピックと称されます。今年の採択論文数はおよそ260件で、近年12%ずつ増加しています。日本の採択論文数はおよそ40件で、2000年以降は増えていません。このうち、日本の大学からの論文はわずか5件です。世界全体で見ると、産業界からの論文がおよそ170件に対して大学からの論文がおよそ90件ありますから、世界的に見て日本の大学の研究レベルはまだまだ低いと言わざるを得ません。

私たちの研究室は、2004年以降、毎年1、2件の論文をISSCCで発表できるようになりました。この3年間の採択論文数は合計4件です。これは、世界の大学の研究室で第4位にあたります。ただし、同数の発表をしている研究室が他に5つありますから、実質は第4位から第9位の間ということになります。国内でみると、東京大学の桜井研究室と同数で第1位です。世界の第1位は、スタンフォード大学の Horowitz 先生と Wooley 先生、ならびに UCLA の Abidi 先生の研究室で、この3年間の論文数は5件です。

また、ISSCC と同様に、当分野で最も重要な学会である VLSI 回路シンポジウムでも、2004年以降の3年間で7件の論文を発表しました。これも世界トップレベルの件数になります。このように、ようやく研究室が立ち上がり、スタンフォード大学などの世界のトップクラスと競えるレベルに近づきました。

また、学会のみならず、新聞や専門誌を通じて、広く社会に向けて発信しています。今年は、日経新聞の2月10日朝刊や日経エレクトロニクスの3月13日号などに記事が掲載されました。

最近の主な研究発表を最後にリストで示します。研究室のホームページ (<http://www.kuroda.elec.keio.ac.jp/>) には、その他にも研究成果の情報が掲載されています。

ユビキタスエレクトロニクスの研究

コンピュータは、さらなるダウンサイジングを続けて、やがて1cc程度の大きさになるでしょう。身の周りのいたるところに埋めこまれた数億数千のコンピュータを無意識に利用して、快適で安心安全な暮らしを実現するのがユビキタス情報化社会です。そうした社会の実現のためには、人がコンピュータを使うのではなく、コンピュータが人を認識して支援することが重要です。コンピュータ同士は、ワイヤレスによって互いにコミュニケーションします。膨大な情報量进行处理するための高性能サーバーは、人から見えないところに設置され、ブロードバンドネットワークを介してどこからでも利用できます。私たちの研究室では、こうしたユビキタス情報化社会を支えるユビキタスエレクトロニクスを研究しています《図1》。特に、認識、ワイヤレス通信、ブロードバンド通信の研究を行っています《図2》。

認識については、コンピュータが人を認識する画像認識の技術と、センサーをネットワークに繋いで空間を認識す

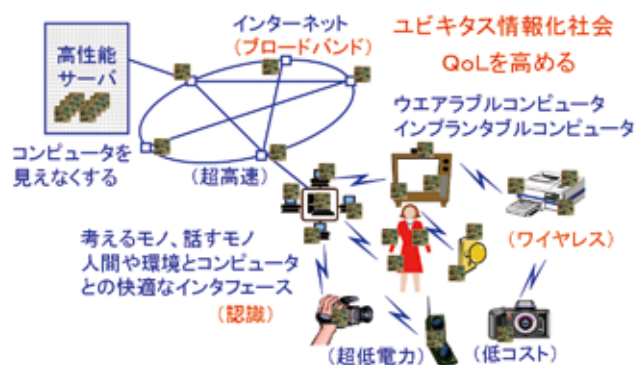


図1：研究ビジョン（ユビキタス情報化社会を築く高性能インタフェースの研究）



図2：研究テーマ（ユビキタスエレクトロニクス）

るセンサネットワークの技術を研究しています。画像認識では、遺伝的アルゴリズムとわずか1mm角の専用LSIを最適化して、リアルタイムに人の顔を検出することに成功しました。フロリダで開かれた国際展示会PMA（Photo Marketing Association）で実演しました。近く製品化される予定です。

ワイヤレス通信については、数十センチメートルの至近距離通信から数十マイクロメートルの近接通信まで研究しています。たとえば、最近、複数のチップを一つのパッケージの中に積層実装してシステムを構築する技術が注目されています（System in a Package）。私たちは、その場合のチップ間通信に磁界結合を利用する新しい技術を提案しています。多層配線を巻いてチップ上にコイルを作り、チップを積層実装したときにコイル同士がトランスのように磁界結合して信号を伝送します。今年のISSCCで私たちが発表した論文は、世界最高速度、最小電力、最小エネルギー、最小面積のチップ間無線接続技術として世界の注目を集めました。データ転送速度は1Tビット/秒で、消費電力は3W、消費エネルギーは3pJ/ビット、チップ面積は1mm²です。これは、「Cellプロセッサ」に採用されたRambus社のチップ間インタフェース技術「FlexIO」と比べて、3.3倍高速、1/2の電力、1/7のエネルギーで、およそ1/4のチップ面積です。データ転送のビット誤り率（BER）は10⁻¹⁴以下であり、有線並みに高い信頼性です。データ転送の同期に必要なクロックも無線伝送するので使い勝手が良いです。1Gビット/秒の通信チャネルを30μmピッチで1024個配列しました。この技術に関する研究成果を報告した論文は、過去3年連続してISSCCの将来技術のセッションに採択され、世界的に注目を集めています。

ブロードバンド通信については、ネットワークサーバやルータに用いられるCMOS高速シリアルリンクを研究しています。40Gビット/秒の送受信器やサーバ内のバックプレーン伝送に用いられる10Gビット/秒のイコライザなどを研究しており、ISSCCやVLSI回路シンポジウムで発表して、高い評価を得ています。

これからの大学の役割

近年、国際会議での大学からの研究発表は、質、量ともに産業界からの発表をしのぐ勢いがあります。企業が研究開発の効率を問われ、製品に直結する技術開発に重点を置く中で、基盤研究や萌芽の研究は大学に委託される機会が増えています。日本では、VDECにより、設計や試作が比較的容易にできる環境が整ってきています。台湾では、この4年間に、システムLSIでおよそ240人の教官ポストを作り、国家戦略としてシステムLSIの強化を図っています。

LSIの発展は常に人材によって支えられてきました。微細化を推し進めることが競争力の源泉であった時代は、職人のノウハウ（Know How）や企業の組織力が重要でした。

最近は、ビジョンを示して顧客に魅力的な提案をする企画力が求められています。何を作ればよいかを知っていること、Know Whatが重要だといえます。今後は更に、システム、設計、デバイス、プロセス、リソグラフィ、実装などの総合デザイン力、また、ナノテクノロジーや生物学、ロボット工学などの広範囲な学問と知識も必要になるでしょう。誰と協働し、どんな連携をプロデュースするかが、プロジェクト成功の鍵となる、いわばKnow Whoが求められる時代となるでしょう。大学には、広い教養と深い専門を備えた人材の輩出はもとより、学問の融合と人や技術の仲介が求められると思います。そうした役割を担える研究室を目指しています。

最近の主な発表

- (1) "Daisy Chain for Power Reduction in Inductive-Coupling CMOS Link," *Symposium on VLSI Circuits*, Jun. 2006.
- (2) "A 20-GHz Injection-Locked LC Divider with a 25-% Locking Range," *Symposium on VLSI Circuits*, Jun. 2006.
- (3) "A 0.79mm² 29mW Real-Time Face Detection Core," *Symposium on VLSI Circuits*, Jun. 2006.
- (4) "チップ間を1Tビット/秒で伝送できる無線通信技術を開発 磁界結合を利用," *Nikkei Electronics*, pp. 137-148, Mar. 2006.
- (5) "半導体チップ 無線で連結," *日本経済新聞*, 2006年2月10日.
- (6) "LSI 回路設計技術," *電子情報通信学会誌* Vol.89 No. 2 pp. 96-101, Feb. 2006.
- (7) "A 1Tb/s 3W Inductive-Coupling Transceiver for Inter-Chip Clock and Data Link," *ISSCC'06*, Dig. Tech. Papers, pp. 424-425, Feb. 2006.
- (8) "A 20Gb/s Bidirectional Transceiver Using a Resistor-Transconductor Hybrid," *ISSCC'06*, Dig. Tech. Papers, pp. 518-519, Feb. 2006.
- (9) "A CMOS Impulse Radio Ultra-Wideband Transceiver for 1Mb/s Data Communications and ± 2.5 cm Range Findings," *Symposium on VLSI Circuit*, Dig. Tech. Papers, pp. 30-33, Jun. 2005.
- (10) "A 195Gb/s 1.2W 3D-Stacked Inductive Inter-Chip Wireless Superconnect with Transmit Power Control Scheme," *ISSCC'05*, Dig. Tech. Papers, pp. 264-265, Feb. 2005.
- (11) "Cross Talk Countermeasures in Inductive Inter-Chip Wireless Superconnect," in *Proc. CICC'04*, pp. 99-102, Oct. 2004.
- (12) "A 10Gb/s Receiver with Equalizer and On-chip ISI Monitor in 0.11 μ m CMOS," *Symposium on VLSI Circuits*, Dig. Tech. Papers, pp. 202-205, Jun. 2004.
- (13) "A 0.11 μ m CMOS Clocked Comparator for High-Speed Serial Communications," *Symposium on VLSI Circuit*, Dig. Tech. Papers, pp. 198-201, Jun. 2004.
- (14) "Analysis and Design of Transceiver Circuit and Inductor Layout for Inductive Inter-chip Wireless Superconnect," *Symposium on VLSI Circuits*, Dig. Tech. Papers, pp. 246-249, Jun. 2004.
- (15) "半導体チップ重ねて1枚に," *日本経済新聞*, 2004年3月12日.
- (16) "A 1.2Gb/s/pin Wireless Superconnect based on Inductive Inter-chip Signaling (IIS)," *ISSCC'04*, Dig. Tech. Papers, pp. 142-143, Feb. 2004.
- (17) "ユビキタス社会に向けた低電力 CMOS 設計," *応用物理* 第73巻 第9号, pp. 1184-1187, 2004年9月.



写真：2006年研究室お花見

電子工学科 松本研究室

「半導体材料・デバイス技術」

まつもと さとる
松本 智

当研究室では、年々微細化が進む半導体技術において、未来を見据え、半導体材料成長・評価から単一電子トランジスタのような将来有望とされるデバイス作製の研究までを幅広く行っている。

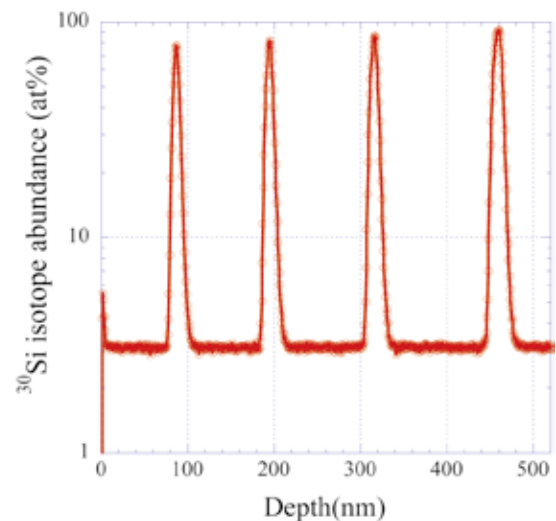
ここ数年は、主として、シリコン同位体 ^{30}Si のエピタキシャル成長とこれを用いた「Si 自己拡散」、「格子間 Si 原子の拡散係数と熱平衡濃度の決定」と言う基礎的なテーマに取り組み、従来、直接的な評価が困難であった上記パラメータの決定を行ってきた。現在は、以下のテーマに取り組んでおり、既に数年に渡って実施しているテーマもある。

1. 歪 Si、SiGe の結晶および電気的特性評価
2. 極浅接合形成技術とその分布評価技術の開発
3. (100) Si 基板上への GaN 成長技術（湘南工科大学寺嶋教授との共同研究）
4. Si 量子細線の電気的特性および単一電子トランジスタへの展開
5. STM リソグラフィーと単一電子トランジスタ作製への応用

「パリ・モードを追わない」をモットーにして研究を行っ

ているが、必要に応じて実際的なテーマにも対応している。現在、博士課程 1 名、修士課程 2 年 6 名、修士課程 1 年 5 名、学部生 5 名でそれぞれチームを作り、にぎにぎしく研究を進めている。社長兼事務員という研究室のため、学生は必然的に自立して研究を行うようになっている。これまで、当研究室では「釣り競技」、「水上スキー」、「合気道」の日本学生チャンピオンが出ており、大学の卒業式で表彰されている。「半導体」のみならず、幅広い考え方を持つ学生が多い。

図は、シリコン同位体 ^{30}Si の超格子構造であり、これをベースに格子間 Si 原子の拡散係数と熱平衡濃度を決定したものである。



2005年 8 月 夏合宿