

首都大学東京



首都大学東京 岩崎・福本研究室

首都大学東京システムデザイン学部 いわさき かずひこ 岩崎 一彦

1. 大学と研究室の概要

首都大学東京は、都立の4大学（東京都立大学、東京都立科学技術大学、東京都立保健科学大学、東京都立短期大学）が統合され、平成17年4月に発足しました。4学部を有し、学部1学年の入学定員は1570名です^[1]。

本研究室はシステムデザイン学部情報通信システム工学コース（日野キャンパス）に属しています。現在、博士課程3年生2名、同1年生1名、修士課程2年生4名、同1年生4名、学部学生5名、客員研究員2名、教員3名、合計21名から構成されています。博士課程学生は全員社会人入学です。次の2個の研究テーマに分かれて研究を進めています。学部生にはテーマ（2）の人気の高いのですが、学年が進むにつれテーマ（1）の重要性が認識されるようです。

(1) VLSIのテスト

(2) ディペンダブル・コンピューティング

以下に、上記（1）を中心に研究内容を紹介します。同時に大学発ベンチャーとして立ち上げたシリコン・テスト・テクノロジーズ株式会社についても紹介します。研究室での日常生活については大学院学生による記事を参考にして下さい。

2. 研究の紹介

2.1 テストパターンの圧縮技術

ATEのメモリ容量削減を目的として、テストパターン圧縮の研究をおこなってきました^[2]。従来の手法と比較して100倍、すなわち1/100の大きさに削減することができまし

た。その結果を図1に示します。BAST (BIST Aided Scan Design) は従来からの論理BISTであり、圧縮率は約30倍程度でした。この手法に、INV (invert & shift) 手法、RL (Run Length) 手法、AP (Address Partitioning) 手法、PS (Pre-Shift) 手法を適用することにより、テストデータ量を1%以下に、すなわち100倍のデータ圧縮を達成しました。

表1に実用規模のベンチマーク回路A、B、Cに対する結果を示します。各セル中の上段は圧縮率を示し、数値が大きい方が望ましいことを示します。また、中断は上段の値の逆数を示します。下段はATPGパターンに対する相対的な故障カバレッジを示し、数値が100%に近いことが望まれます。各ベンチマーク回路に対し、圧縮率100%以上、かつ相対故障カバレッジ99%以上を達成しています。

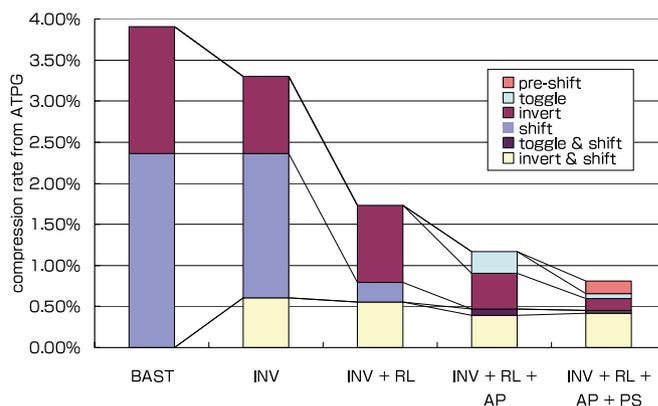


図1 テストパターン圧縮技術の内訳

Circuit	ATPGに対する圧縮率 [相対故障検出率]				
	個別のみ	99%で遷移	95%で遷移	90%で遷移	一括のみ
A	x54 (1.83%) [100%]	x83 (1.20%) [99.90%]	x97 (1.03%) [99.54%]	x101 (0.99%) [99.03%]	x105 (0.94%) [90.27%]
B	x43 (2.29%) [100%]	x88 (1.12%) [99.91%]	x181 (0.54%) [99.57%]	x204 (0.49%) [99.07%]	x208 (0.48%) [90.53%]
C	x133 (0.75%) [100%]	x243 (0.40%) [99.99%]	x285 (0.35%) [99.97%]	x277 (0.35%) [99.94%]	x312 (0.32%) [99.27%]

表1 テストパターン圧縮技術のベンチマーク回路に対する結果

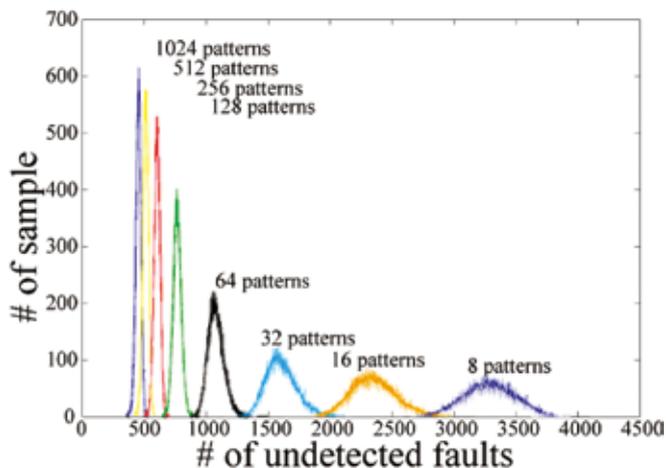


図2 ベンチマーク回路 c7552 にロジック BIST を適用した場合のテストパターン長と残存故障数の分布

2.2 BIST の初期値選定法

論理回路の組込み自己テスト (Built-In Self-Test) では、疑似乱数発生回路として線形帰還シフトレジスタ (LFSR : Linear Feedback Shift Register) が広く使われています。一つの問題点は、LFSR の初期値をどのように選ぶかということです。図 2 に、ベンチマーク回路 c7552 に対して、印加するランダムパターンの数と残存故障の数の関係を示します。例えば、64個のランダムパターンを印加すると1000個強の故障が未検出となりますが、1024個のランダムパターンを印加すると残存故障数は500個程度となります。同じ数のテストパターンを入力するのであれば、なるべく良い初期値を選びたいものです。

詳細な検討は文献 [3] を参照いただくとして、結果を図 3 に示します。リサンプリングという手法を用いることによって、少ないサンプル数で残存故障の期待値とその分散を求めることができます。図中 (1) は本手法による値であり、(2) は 30000 回の網羅的なシミュレーション結果を表します。非常によく一致しています。分散が分かれば、求めた初期値がどの程度良いかをかなり正確に判断することができます。

2.3 ローパワー BIST

テスト時の消費電力が問題となってきています。テスト時間を短くすることは、通常動作よりも多くの回路を同時に動作させることを意味し、このことは消費電力の増大と温度の上昇をもたらします。温度の上昇は動作速度の低下を招き、通常動作であればパスするチップを、テストモードで動作させることにより不良と判断することになります。その結果、歩留り低下という深刻な問題を引

き起こしています。

スキャン BIST を対象とし消費電力削減の研究をおこなっています。CMOS 回路の消費電力は回路内ノードの遷移 (0→1、1→0) に大きく依存します。テスト時の消費電力はスキャンチェーンのフリップフロップ (FF) の遷移数にほぼ比例すると考えられていますので、出来るだけ遷移を引き起こさないようなスキャンチェーンの制御法を考案しました。結果を図 4 に示します。手法 A は従来からの手法です。これに対し、本研究で考案した手法 B、手法 C、手法 D を適用することにより、図 4 (a) に示すようにスキャンチェーンの FF の遷移数をそれぞれ、約15%、約10%、約5%に削減することができました。

これらの手法の命令数 (テストデータ量) を図 4 (b) に示します。手法 B および手法 C では、テストデータ量も減らすことができました。手法 D を適用すると、消費電力は5%程度に削減できますが、データ量は約20%増加します。

上記の他、VLSI テストに関する研究として、メモリ BIST の面積削減手法、MeP サブセットプロセッサのスキャン設計と仮想テストでの動作確認、テスト用言語の展開等に関する研究をおこなっています。また、ディペンダブル・コンピューティングに関するテーマとして、テストコスト削減を目的とした多重プロセッサ方式、過渡故障に耐性を持つプロセッサ方式、多世代チェックポイントニング方式等に関する研究に取り組んでいます。

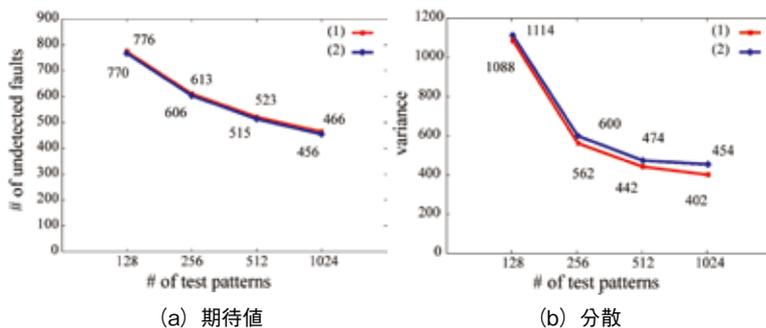


図3 リサンプリング法を用いた残存故障数の期待値と分散、ベンチマーク回路 c7552 に対する結果

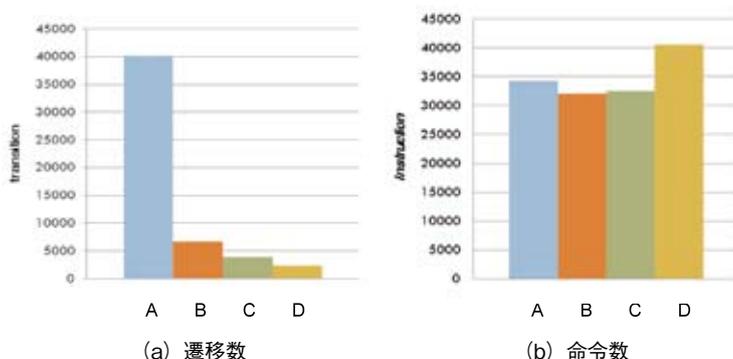


図4 ローパワー BIST 手法の遷移数と命令数の評価

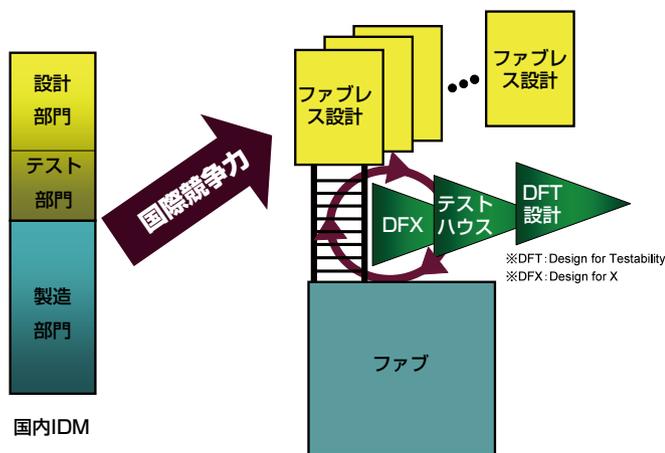


図5 シリコン・テスト・テクノロジーズ社設立の動機 (餅は餅屋)

3. 大学発ベンチャー

本年6月、大学発ベンチャーとして、シリコン・テスト・テクノロジーズ株式会社 (STT 社) を設立しました^[4]。その設立の動機を図5に示します。ご存知の通り、日本国内には大手の半導体メーカーが十数社あります。一方で国際的にはファブレスとファンドリが大きく伸びています^[5]。早晩日本もファブレスとファンドリに再編されることは必至と思われます。そのとき、テストをどうするかは大きな分岐点になると考えられます。日本において、テスト設計から ATE ソフト開発そして故障解析までを統一して扱う DFX 専門会社の存在意義があるものと確信しています。

テストの実務の現場において、テスト技術者の絶対数が不足しているという実情を多くの方々から聞いています。テスト技術は、ご存知の通りデジタル技術としてもまたアナログ技術としても相当に高度なものがあります。しかし、地味な存在でもあり、先端プロセスやシステム設計と比較すると、技術の研鑽の機会も十分ではないように思わ

れます。例えば、国内の大学において、設計技術は教えてもテスト技術を学ぶ機会は非常に少ないようです。

このような状況を少しでも改善できればと考え、STT 社のホームページにはテスト技術に関連する略語集とそのミニ解説を掲載してあります。また、テスト技術に焦点を当てたメールマガジン (月1回発信, フリー) も配信しています。ホームページからバックナンバーをご覧いただくこともできます。

テスト技術は半導体の微細化が進むにつれ、その重要性を増してきています。つまり、利益を生み出す技術として見直されています。諸外国と比較しても日本のテスト技術は非常に優れたものが多いと思っています。一方で、国内のテスト技術者の努力が十分に報われていないという印象も持っています。関係各位の努力と協力の下、日本のテスト技術をもっと発展させ、テスト技術者の地位向上につなげていきたいと考えています。

4. まとめ

首都大学東京システムデザイン学部の岩崎・福本研究室の研究概要を紹介しました。同時に、大学発ベンチャーとして設立したシリコン・テスト・テクノロジーズ株式会社についても紹介しました。皆様の参考になればと思います。

参考文献

- [1] <http://www.tmu.ac.jp/>
- [2] M. Arai, S. Fukumoto, K. Iwasaki, T. Matsuo, T. Hiraide, H. Konishi, M. Emori, and T. Aikyo, "Test Data Compression of 100x for Scan-Based BIST," International Test Conference, 23.3, Santa Clara, Oct. 2006.
- [3] 福本聡, 黒川晴申, 新井雅之, 岩崎一彦, "LFSR をもちいたロジック BIST の故障検出率に関する統計的一考察", 電子情報通信学会技術報告, デイバングブルコンピューティング研究会, DC2005-75, pp. 21-24, 2006年2月.
- [4] <http://www.silicontest.jp/>
- [5] 半導体産業新聞, 2007年6月6日.

岩崎・福本研究室紹介

M 2 おおさわ けんたろう 大沢 健太郎 記



今年度からはこれまで活動していた南大沢キャンパスから、日野キャンパスへと研究室を移動しました。南大沢と比較すると駅から大学までの距離があり、夏場は研究室へ行くのも一苦勞です。駅から遠いというデメリットはありますが、新しい研究室は比較的広く、学生部屋に13名の学生が入っても、そこまで暑苦しく感じません。冷蔵庫、電子レンジ、ポットなども備えてあるので、工夫次第では大幅に食費を抑えることができます。

本研究室は、「DCグループ」と「テストグループ」という2つのグループに分かれてゼミを行っています。「DC」はディペンダブル・コンピューティングの略で、高信頼の分散システムや、ハードウェア冗長・時間冗長を利用した



社会人博士課程学生

耐故障システムなどを研究しています。テストグループでは、半導体のテスト容易化設計や低消費電力設計などについて研究しています。どちらのゼミでも、主に学生による研究の進捗報告と、関連論文の紹介が行われています。進捗報告では、学生と先生方との間で激しい議論が起こることもしばしばです。週1回のグループゼミの他には研究室発表会というゼミが隔週で行われています。このゼミは、教授による学会の報告や、学生の発表練習などを行う場になっています。ここで発表する学生は、研究データの誤りや分かりにくい点、スライドの組み立て方、発表の話し方など細部にわたって指摘を受けます。

研究室のイベントは、4月下旬の新生歓迎会、7月下旬の前期締め飲み会、9月上旬のゼミ合宿、12月下旬の忘年会、2月下旬の年度締め飲み会があります。これに加えて、昨年には学科主催のサッカー大会が開催され、研究室のメンバーで参加しました。サッカーの経験者が多かったこともあり、準優勝という結果を残すことができ、とても良い思い出になりました。ゼミ合宿は一泊二日で、ここ最近では河口湖で行っています。毎年、学部生は宿題として論文を3~4本渡され、その中の1本をこのゼミ合宿で発表することになっています。理解が甘いと先生方やOBの方から鋭い質問が飛んでくるので、適当に読むと痛目目に遭います。学部生にとっては、発表練習の良い機会になっていると思います。その後は、修士2年による中間発表の練習があり、温泉、夕食、宴会という流れになります。お楽しみの宴会は、あらかじめ用意しておいたお酒とともに、夜通し続きます。

年が明け、卒論および修論発表まで1か月という時期を迎えると、研究室の慌たしさはピークに達します。概要のレジュメ、ポスターセッションのスライド、論文本体など、一度に多くの資料を短期間に作成するため、学生はお互いに協力しながら、必死に作業を行います。そして2月に卒論・修論発表を終え、年度締め飲み会にて長い研究室の一年が幕を閉じます。



河口湖合宿にて